

日本国特許庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2002年11月14日  
Date of Application:

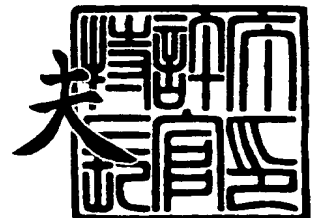
出願番号 特願2002-331139  
Application Number:  
[ST. 10/C]: [JP2002-331139]

出願人 松下電器産業株式会社  
Applicant(s):

2003年 8月 4日

特許庁長官  
Commissioner,  
Japan Patent Office

今井康夫



出証番号 出証特2003-3062068

【書類名】 特許願

【整理番号】 5037640135

【提出日】 平成14年11月14日

【あて先】 特許庁長官 殿

【国際特許分類】 G11C 29/00

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 車田 希総

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 赤松 寛範

【特許出願人】

【識別番号】 000005821

【氏名又は名称】 松下電器産業株式会社

【代理人】

【識別番号】 110000040

【氏名又は名称】 特許業務法人池内・佐藤アンドパートナーズ

【代表者】 池内 寛幸

【電話番号】 06-6135-6051

【手数料の表示】

【予納台帳番号】 139757

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0108331

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体記憶装置

【特許請求の範囲】

【請求項 1】 複数のメモリセルと、複数のダミーセルを含むメモリアレイと

、  
前記メモリアレイに接続されるロウデコードと、

前記メモリアレイに接続されるダミー制御回路と、

前記メモリアレイに接続されるカラムセクタと、

前記カラムセクタに接続されるアンプ回路と、

前記メモリアレイに接続されるダミーカラムセクタと、

前記ダミーカラムセクタと前記アンプ回路とに接続されるアンプ制御回路と  
を備えた半導体記憶装置であって、

前記ダミーセルが、前記ロウデコード側に一列に配置される複数のダミーセル  
と、前記メモリセルを挟んで前記ロウデコードから最も遠く離れた位置に一列に  
配置される複数のダミーセルとを含み、

前記ダミーカラムセクタが、前記ロウデコード側に配置される前記複数のダ  
ミーセルと、前記メモリセルを挟んで前記ロウデコードから最も離れた位置に配  
置される前記複数のダミーセルとに接続されており、

前記ダミー制御回路の出力である複数の制御線が、前記複数のダミーセルのう  
ち、前記ロウデコード側に配置される前記複数のダミーセルと、前記メモリセル  
を挟んで前記ロウデコードから最も離れた位置に配置される前記複数のダミーセ  
ルにそれぞれ接続されることを特徴とする半導体記憶装置。

【請求項 2】 前記ダミーカラムセクタが、前記メモリアレイから入力され  
る信号の遅延調整を行う遅延調整部を備える請求項 1 に記載の半導体記憶装置。

【請求項 3】 前記ダミー制御回路が、前記ダミーセルに接続される前記複数の  
の制御線のいずれかを選択し、

前記ダミーカラムセクタが、前記ダミー制御回路からの選択信号を受けて前  
記ダミーセルを選択する第 1 の接続選択部を備える請求項 1 から 3 のいずれか一  
項に記載の半導体記憶装置。

【請求項 4】 前記ダミー制御回路が、ダミーワードラインドライバと、ヒューズ素子と、PMOS トランジスタと、NMOS トランジスタと、ラッチ用 NMOS トランジスタと、出力インバータと、信号反転用インバータと、ロウデコーダ側のダミーカラムへの活性化信号を出力する第 1 の AND 回路と、ロウデコーダ側から最も離れたダミーカラムへの活性化信号を出力する第 2 の AND 回路を備え、

前記ヒューズ素子は、電源と、前記 PMOS トランジスタのソースに接続され

、  
前記 PMOS トランジスタのゲート及び前記 NMOS トランジスタのゲートに RESET 信号が入力され、

前記 PMOS トランジスタのドレインは前記 NMOS トランジスタのドレインに接続され、

前記 NMOS トランジスタのソース及び前記ラッチ用 NMOS トランジスタのソースは接地され、

前記インバータの入力側に、前記 PMOS トランジスタのドレインと、前記 NMOS トランジスタのドレインと、前記ラッチ用 NMOS トランジスタのドレインが接続され、

前記インバータの出力側に、前記ラッチ用 NMOS トランジスタのゲートと、前記信号反転用インバータの入力と、前記第 2 の AND 回路と、外部のダミーカラムセクタが接続され、

前記信号反転用インバータの出力側に、外部のダミーカラムセクタと、前記第 1 の AND 回路が接続されている請求項 3 に記載の半導体記憶装置。

【請求項 5】 前記ダミーカラムセクタが、前記ダミー制御回路からの信号を受けて前記遅延調整部の出力を選択する第 2 の接続選択部を備える請求項 3 又は 4 に記載の半導体記憶装置。

【請求項 6】 前記複数のダミーセルの出力が、前記ダミーカラムセクタを介して、対応する一又は複数の前記アンプ制御回路に接続されており、

前記アンプ制御回路が、それぞれセンスアンプに接続されている請求項 1 に記載の半導体記憶装置。

【請求項 7】 一又は複数の前記アンプ制御回路が、前記ダミー制御回路と前記アンプ回路とに接続されており、かつ前記アンプ回路に信号を出力するか否かを選択できる信号選択部を備える請求項 6 に記載の半導体記憶装置。

【請求項 8】 一又は複数の前記アンプ制御回路が、それぞれの前記アンプ制御回路内で遅延を調整することができる遅延調整部を備える請求項 6 又は 7 に記載の半導体記憶装置。

【請求項 9】 前記メモリアレイ内に前記ダミーセルの素子を用いて構成される切り替えセルを備え、

前記切り替えセルが、前記複数のダミーカラムと、前記ダミー制御回路と、前記ダミーカラムセレクトに接続され、前記ダミーセル単位で接続を切り替えることができる請求項 7 又は 8 に記載の半導体記憶装置。

【請求項 10】 複数の前記切り替えセルが並列に接続されている請求項 9 に記載の半導体記憶装置。

【請求項 11】 前記アンプ制御回路の出力を検査するテスト回路を備えている請求項 2 から 5、8 から 10 のいずれか一項に記載の半導体記憶装置。

【請求項 12】 前記ダミー制御信号の出力である前記複数の制御線を、前記複数のダミーメモリ上と前記メモリアレイ周辺で等長配線する請求項 1 から 11 のいずれか一項に記載の半導体記憶装置。

【請求項 13】 遅延調整時間の異なる前記遅延調整部をあらかじめ複数個用意し、メモリ容量に応じて前記遅延調整部を変更する請求項 2 から 5 及び 8 から 12 のいずれか一項に記載の半導体記憶装置。

#### 【発明の詳細な説明】

#### 【0001】

#### 【発明の属する技術分野】

本発明は、内部回路の起動タイミングを、ダミー回路を用いて生成する半導体記憶装置に関する。特にチップ面積を増加することなしにダミー回路を救済し、歩留向上をはかり、内部回路の起動タイミングの最適化を図ることができる半導体記憶装置に関する。

#### 【0002】

**【従来の技術】**

従来の半導体記憶装置において、メモリセルからの読出しデータを増幅するアンプの起動信号をダミーのメモリセルを用いて生成し、プロセスや電圧等に起因するメモリセル読出しタイミングのばらつきに対して、アンプ起動タイミングを精度良く追従させる方法が種々考えられている。

**【0003】**

従来の半導体記憶装置の構成例として、図25～図28に、非特許文献1及び特許文献1において開示されている回路構成の概要図を示す。

**【0004】****【非特許文献1】**

「IEEE 半導体素子使用回路ジャーナル」、2001年11月、第36巻、第11号、p. 1738-1744 (IEEE Journal of Solid-State Circuits, Vol. 36, No. 11, November 2001, pp 1738-1744)

**【0005】****【特許文献1】**

米国特許6212117号明細書

図25において、500はメモリアレイを、501及び502はメモリアレイ500に含まれるダミーカラムを、504はメモリアレイ500に複数含まれる通常カラムを、それぞれ示している。ここで、通常カラムとは、ダミーカラム以外のカラムを意味している。

**【0006】**

また、505はメモリアレイ500に接続されるダミー制御手段を、507はダミーカラム502の出力が入力されるアンプ制御手段を、508は通常カラム504に接続されるカラムセクタを、509はカラムセクタ508及びアンプ制御手段507に接続されるアンプを、510はメモリアレイ500に接続されるロウデコーダを、それぞれ示している。

**【0007】**

図26は、図25に示すメモリアレイ500の部分構成図であり、図25にお

いて、511は通常のメモリセルを示しており、SRAMが良く用いられている。また、512はダミーカラム501に含まれるダミーセルを、513はダミーカラム502に含まれるダミーセルを、それぞれ示している。

#### 【0008】

図27は、図26に示すメモリセル511の構成図であり、図28は、図26に示すダミーセル512及び513の内部構成及び相互接続構成を示す図である。

#### 【0009】

図28に示すように、ダミーセル512及び513を構成するトランジスタは、図27に示すメモリセル511を構成するトランジスタと同サイズであり、ダミーセル512及び513に含まれるラッチ回路は一定レベルに固定されている。

#### 【0010】

図27に示すように、メモリセル511は、行方向においてはロウデコーダ510と接続されているワードラインWL0～WLxに接続されており、列方向においては共通のビットラインBL及びNBLに接続されている。

#### 【0011】

図26に示すように、複数あるダミーセル512のうちn個のダミーセル512が、ダミー制御手段505の出力側であるダミーワードラインDWLに接続され、他のダミーセル512は、接地ラインに接続されている。n個のダミーセル512は、アンプ509側に近い位置から順にn個配置される構成となっている。

#### 【0012】

複数あるダミーセル513のうちn個のダミーセル513は、ダミー制御手段505の出力側であるダミーワードラインDWLに接続され、他のダミーセル513は、接地ラインに接続されている。また、複数あるダミーセル513は共通のダミービットラインDBLに接続されており、ダミービットラインDBLはアンプ制御手段507へと接続される構成となっている。n個のダミーセル513についても、アンプ509側に近い位置から順にn個配置される構成となってい



る。

#### 【0013】

以上のように構成された従来の半導体記憶装置が動作すると、ロウデコーダ 510 と接続されているワードライン WL 0 ~ WL x のいずれかが選択され、選択されたワードラインに接続されているメモリセル 511 のデータがビットライン BL 及び NBL に読み出される。

#### 【0014】

なお、ビットライン BL、NBL 及びダミービットライン DBL は、予めハイレベルにプリチャージされており、ワードライン WL 0 ~ WL x が選択される時点においてはフローティング状態となっている。また、通常カラム 504 は複数存在することから、選択されたワードラインに接続されている複数のメモリセル 511 のデータが、それぞれのビットライン BL 及び NBL に読み出されるが、カラムセクタ 508 によって特定のビットライン BL 及び NBL のデータが選択されることになる。

#### 【0015】

ワードライン WL 0 ~ WL x が選択されるタイミングとほぼ同一のタイミングにおいて、ダミー制御手段 505 の出力側であるダミーワードライン DWL が駆動され、n 個のダミーセル 513 を構成するトランジスタがダミービットライン DBL をメモリセル 511 の n 倍のスルーレートでハイレベルからロウレベルへと遷移させる。

#### 【0016】

そして、ダミービットライン DBL の信号レベルを検出することで、アンプ制御手段 507 がアンプ起動信号 SAE を生成し、アンプ 509 はアンプ起動信号 SAE が入力されたタイミングで、選択された特定のビットライン BL 及び NBL のデータを増幅することになる。

#### 【0017】

例えば、電源電圧 1.2 V であって、メモリセル 511 からの読出しデータ BL 及び NBL の電位差が 100 mV の場合においてアンプ 509 を起動したい場合、選択するダミーセル 513 の数 n を '6' にしておけば、所望のアンプ起動

タイミング時に、ダミービットラインDBLは600mV、すなわち電源電圧の半分の電位にまで遷移することになる。したがって、複雑な電位検出回路を用いることなく、簡単なCMOSゲートを用いるだけで、アンプ起動信号SAEを生成できるという利点がある。

#### 【0018】

##### 【発明が解決しようとする課題】

しかしながら、上述したような従来の半導体記憶装置においては、メモリセル511に接続されるビットラインBL及びNBLの配線負荷はダミー回路に含まれているものの、ビットラインに接続されるカラムセクタ508の負荷はダミー回路に含まれておらず、所望のアンプ起動タイミングに対して、ダミービットライン信号に基づくSAE信号の生成が遅延してしまうという問題点が生じていた。

#### 【0019】

また、上述したような従来の半導体記憶装置においては、ダミービットラインDBLを駆動するダミーセル512が、メモリアレイ500に対してアンプ509に近接した位置に配置されており、アンプ509と反対側端部に配置されるメモリセル511が選択された場合には、ビットラインBL及びNBLの配線抵抗による遅延が反映されないことから、所望のアンプ起動タイミングに対して、ダミービットライン信号に基づくSAE信号生成が早まってしまうという問題点も有していた。

#### 【0020】

さらに、上述したような従来の半導体記憶装置においては、ダミーセル512は、メモリアレイ500への読出しアクセスに対して毎回動作する構成となっているが、ダミーセル512自体に欠陥があった場合、アンプ起動を所望のタイミングで行うことができない、もしくはアンプ起動自体ができない不良品になってしまうおそれがあるという問題点も内包している。

#### 【0021】

本発明は、上記問題点を解決するために、メモリセルの読出しタイミングを精度良く擬似することができ、生産歩留率の向上を図ることができる半導体記憶装

置を提供することを目的とする。

#### 【0022】

##### 【課題を解決するための手段】

上記目的を達成するために本発明にかかる半導体記憶装置は、複数のメモリセルと、複数のダミーセルを含むメモリアレイと、メモリアレイに接続されるロウデコーダと、メモリアレイに接続されるダミー制御回路と、メモリアレイに接続されるカラムセクタと、カラムセクタに接続されるアンプ回路と、メモリアレイに接続されるダミーカラムセクタと、ダミーカラムセクタとアンプ回路とに接続されるアンプ制御回路とを備えた半導体記憶装置であって、ダミーセルが、ロウデコーダ側に一列に配置される複数のダミーセルと、メモリセルを挟んでロウデコーダから最も遠く離れた位置に一列に配置される複数のダミーセルとを含み、ダミーカラムセクタが、ロウデコーダ側に配置される複数のダミーセルと、メモリセルを挟んでロウデコーダから最も離れた位置に配置される複数のダミーセルとに接続されており、ダミー制御回路の出力である複数の制御線が、複数のダミーセルのうち、ロウデコーダ側に配置される複数のダミーセルと、メモリセルを挟んでロウデコーダから最も離れた位置に配置される複数のダミーセルにそれぞれ接続されることを特徴とする。

#### 【0023】

かかる構成により、複数のダミーカラムをメモリセルを挟んで一列ずつ配置することによって、ダミーセルに欠陥がある場合であっても、他方のダミーカラムに存在するダミーセルに置き換えることができ、生産歩留まりを向上することが可能となる。また、ロウデコーダ110から最も離れた位置にダミーカラムを設けることができることから、通常カラムの露光精度を向上させることが可能となる。通常、ダミーカラムは、露光精度を向上させるためにメモリセルの両端に配置されるが、新たにロウデコーダ側にダミーカラムを隣接して複数個設ける場合に比べて、より配置面積を削減することができる。

#### 【0024】

また、本発明にかかる半導体記憶装置は、ダミーカラムセクタが、メモリアレイから入力される信号の遅延調整を行う遅延調整部を備えることが好ましい。

ダミーカラムセレクトアの出力の遅延を調整することができ、ダミーカラム配置の物理的な制約を排除することができるからである。

#### 【0025】

また、本発明にかかる半導体記憶装置は、ダミー制御回路が、ダミーセルに接続される複数の制御線のいずれかを選択し、ダミーカラムセレクトアが、ダミー制御回路からの選択信号を受けてダミーセルを選択する第1の接続選択部を備えることが好ましい。制御線やダミーメモリセル、ダミーメモリセルの出力線に不良があっても、正常な出力を選択して使用することができるからである。

#### 【0026】

また、本発明にかかる半導体記憶装置におけるダミー制御回路の構成としては、ダミーワードラインドライバと、ヒューズ素子と、PMOSトランジスタと、NMOSトランジスタと、ラッチ用NMOSトランジスタと、出力インバータと、信号反転用インバータと、ロウデコーダ側のダミーカラムへの活性化信号を出力する第1のAND回路と、ロウデコーダ側から最も離れたダミーカラムへの活性化信号を出力する第2のAND回路を備え、ヒューズ素子は、電源と、PMOSトランジスタのソースに接続され、PMOSトランジスタのゲート及びNMOSトランジスタのゲートにRESET信号が入力され、PMOSトランジスタのドレインはNMOSトランジスタのドレインに接続され、NMOSトランジスタのソース及びラッチ用NMOSトランジスタのソースは接地され、インバータの入力側に、PMOSトランジスタのドレインと、NMOSトランジスタのドレインと、ラッチ用NMOSトランジスタのドレインが接続され、インバータの出力側に、ラッチ用NMOSトランジスタのゲートと、信号反転用インバータの入力と、第2のAND回路と、外部のダミーカラムセレクトアが接続され、信号反転用インバータの出力側に、外部のダミーカラムセレクトアと、第1のAND回路が接続されていることが好ましい。

#### 【0027】

また、本発明にかかる半導体記憶装置は、ダミーカラムセレクトアが、ダミー制御回路からの信号を受けて遅延調整部の出力を選択する第2の接続選択部を備えることが好ましい。遅延調整部自体に不良が生じた場合であっても、正常な出力

のみを選択することができるからである。

【0028】

また、本発明にかかる半導体記憶装置は、複数のダミーセルの出力が、ダミーカラムセクタを介して、対応する一又は複数のアンプ制御回路に接続されており、アンプ制御回路が、それぞれセンスアンプに接続されていることが好ましい。メモリセルアレイのサイズの差による、アンプ起動タイミングのズレを解消することができ、かつ複数のアンプ制御回路自体に不良が生じた場合であっても、正しい起動タイミングでセンスアンプを起動することができるからである。

【0029】

また、本発明にかかる半導体記憶装置は、一又は複数のアンプ制御回路が、ダミー制御回路とアンプ回路とに接続されており、かつアンプ回路に信号を出力するか否かを選択できる信号選択部を備えることが好ましい。アンプ制御信号を適正なタイミングに調整することができるからである。

【0030】

また、本発明にかかる半導体記憶装置は、一又は複数のアンプ制御回路が、それぞれのアンプ制御回路内で遅延を調整することができる遅延調整部を備えることが好ましい。アンプ制御信号を適正なタイミングに調整することができるからである。

【0031】

また、本発明にかかる半導体記憶装置は、メモリアレイ内にダミーセルの素子を用いて構成される切り替えセルを備え、切り替えセルが、複数のダミーカラムと、ダミー制御回路と、ダミーカラムセクタに接続され、ダミーセル単位で接続を切り替えることができることが好ましい。こうすることによっても、ダミーセルに不良が発生した場合に救済することができるからである。なお、複数の切り替えセルが並列に接続されていることがより好ましい。

【0032】

また、本発明にかかる半導体記憶装置は、アンプ制御回路の出力を検査するテスト回路を備えていることが好ましい。メモリのアクセススピードを検査しなくても、アンプ制御回路の出力を測定できることから、容易にアンプ制御信号を適

正なタイミングに調整することができるからである。

#### 【0033】

また、本発明にかかる半導体記憶装置は、ダミー制御信号の出力である複数の制御線を、複数のダミーメモリ上とメモリアレイ周辺で等長配線することが好ましい。制御線の負荷を同等にすることによって、制御線に接続される複数のダミーセルの出力遅延を同等にすることができるからである。

#### 【0034】

また、本発明にかかる半導体記憶装置は、遅延調整時間の異なる遅延調整部をあらかじめ複数個用意し、メモリ容量に応じて遅延調整部を変更することが好ましい。メモリ容量に応じたアンプ制御信号を発生することができるからである。

#### 【0035】

##### 【発明の実施の形態】

##### （実施の形態1）

以下、本発明の実施の形態1にかかる半導体記憶装置について、図面を参照しながら説明する。図1は本発明の実施の形態1にかかる半導体記憶装置の全体構成図である。

#### 【0036】

図1において、100はメモリアレイを、101はメモリアレイ100に二列含まれているダミーカラムを、102はメモリアレイ100に複数含まれる通常カラムを、それぞれ示している。ここで、通常カラムとは、メモリアレイ100におけるダミーカラム以外のカラムを意味する。本実施の形態1においては、ダミーカラム101は、通常カラム102を挟んで一列ずつ配置されており、一列はロウデコーダ110に近接して、他の一列はロウデコーダ110から最も離れた位置に、それぞれ配置されている。

#### 【0037】

また、104はダミーカラム101の出力に接続されるダミーカラムセレクタを示しており、メモリアレイ100に接続されるダミー制御手段103の出力信号によって、どちらのダミーカラム101を選択するのか制御されることになる。

**【0038】**

そして、105はダミーカラムセクタ104の出力側に接続されるアンプ制御手段を、106は通常カラム102に接続され、通常カラム102を選択するカラムセクタを、それぞれ示しており、カラムセクタ106及びアンプ制御手段105の出力信号はアンプ107に入力される。

**【0039】**

図2は、本発明の実施の形態1にかかる半導体記憶装置におけるダミー制御手段103の内部構成図を示している。図2において、140はダミーワードラインドライバを示しており、メモリアクセス信号CLKが入力されると、それに応じてダミーワードライン駆動信号DWL1及びDWL2を出力するものである。なお、140Aはバッファである。

**【0040】**

図3は、本発明の実施の形態1にかかる半導体記憶装置におけるメモリアレイ100の内部構成図を示している。図3において、111は通常カラム102に含まれるメモリセルを示しており、本実施の形態1においてはSRAMを想定している。また、112はダミーカラム101に含まれるダミーセルを示している。図3に示すように、メモリアレイ100の両端に一行にダミーセル112が配置されたダミーカラム101を設けており、通常カラム102はダミーカラム101に挟まれるような形態で配置されている。

**【0041】**

ここで、図4は、本発明の実施の形態1にかかる半導体記憶装置のダミー制御手段103におけるメモリセル111の内部構成図を、図5は、本発明の実施の形態1にかかる半導体記憶装置のダミー制御手段103におけるダミーセル112の内部構成図を、それぞれ示している。図4と図5を比較しても明らかなように、ダミーセル112を構成するトランジスタはメモリセル111を構成するトランジスタと同一のサイズであり、ダミーセル112に含まれるラッチは一定レベルに固定されている。

**【0042】**

また、図6は、本発明の実施の形態1にかかる半導体記憶装置におけるダミー

カラムセクタ 104 の構成図を示している。図 6 において、120 はビットラインプリチャージ回路を示しており、制御回路（図示せず）からのプリチャージ信号 PCG が入力される。また、121 は NAND ゲートを示している。

#### 【0043】

図 7 は、本発明の実施の形態 1 にかかる半導体記憶装置におけるアンプ 107 の構成図を示している。図 7 に示すように、アンプ起動信号 SAE1 に応じて、複数のセンスアンプ 107A の中から起動するセンスアンプを選択することになる。

#### 【0044】

まず、図 3 に示すように、通常カラム 102 に含まれるメモリセル 111 は、行方向においては、ロウデコーダ 110 の出力側であるワードライン WL0 ~ WLx にそれぞれ接続されており、列方向においては、通常カラム 102 の共通のビットライン BL 及び NBL に接続されている。

#### 【0045】

また、通常カラム 102 を挟むように配置されているダミーカラム 101 に含まれている複数のダミーセル 112 のうち、それぞれ n 個のダミーセル 112 はメモリアレイ 100 上であって、ロウデコーダ 110 側とロウデコーダ 110 と反対側の端部であり、かつアンプ 109 が配置される側からカラム方向に最も遠い位置に配置されているダミーワードライン DWL1 又は DWL2 に接続されることになる。他のダミーセル 112 については、接地されている。

#### 【0046】

なお、メモリアレイ 100 内のダミーワードライン DWL1 及び DWL2 の配線は、通常カラム 102 におけるビットライン配線に相当する配線を使用するものとする。

#### 【0047】

また、n 個のダミーセル 112 の出力はダミービットライン DBL1 及び DBL2 にそれぞれ接続されており、ダミービットライン DBL1 及び DBL2 はダミーカラムセクタ 104 に接続されている。

#### 【0048】



外部よりメモリアレイ 100 へのアクセスが行われると、ロウデコーダ 110 に接続されているワードライン WL 0 ~ WL x のいずれかが選択され、メモリセル 111 のデータが BL 及び NBL に読み出される。通常カラム 102 のビットライン BL 及び NBL、ダミーカラム 101 のダミービットライン DBL 1 及び DBL 2 は、予めビットラインプリチャージ回路 120 によってハイレベルにプリチャージされており、ワードライン WL 0 ~ WL x が選択される時点において、フローティング状態となっている。通常カラム 102 が複数あることから、複数のデータがそれぞれの BL 及び NBL に読み出されるが、カラムセクタ 106 によって特定のビットライン BL 及び NBL のデータが選択されることになる。

#### 【0049】

ワードライン WL 0 ~ WL x が選択されるタイミングとほぼ同一のタイミングにおいて、ダミー制御手段 103 に接続されているダミーワードライン DWL 1 又は DWL 2 が駆動され、n 個のダミーセル 112 を構成するトランジスタが、ダミービットライン DBL 1 又はダミービットライン DBL 2 をメモリセル 111 の n 倍のスルーレートでハイレベルからローレベルへと遷移させる。

#### 【0050】

そして、ダミーカラムセクタ 104 は、ダミービットライン DBL 1 あるいは DBL 2 のうち、ローレベルに遷移するダミービットラインを選択し、アンプ制御手段 105 へ DBL 信号として転送する。アンプ制御手段 105 は、DBL 信号が入力されると、アンプ起動信号 SAE を発生し、アンプ 107 はアンプ起動信号 SAE に基いて、カラムセクタ 106 により選択された特定のビットライン BL 及び NBL のデータを増幅することになる。

#### 【0051】

このような構成とすることで、ビットラインに接続されるカラムセクタ 106 の負荷もダミー回路に含まれることになり、所望のアンプ起動タイミングに対する SAE 信号の生成遅延を未然に回避することができる。

#### 【0052】

また、ダミービットライン DBL を駆動するダミーセル 512 が、メモリアレ

イ500に対してアンプ509と反対側端部に配置されることから、ビットラインBL及びNBLの配線抵抗による遅延も反映することができ、アンプ起動タイミングに対するSAE信号の生成が早まるという課題も解決できる。

#### 【0053】

さらに本実施の形態1によれば、複数のダミーカラムをメモリセルを挟んで一列ずつ配置することによって、ダミーセルに欠陥がある場合であっても、他方のダミーカラムに存在するダミーセルに置き換えることができ、生産歩留まりを向上することが可能となる。また、ロウデコーダ110から最も離れた位置にダミーカラムを設けることができることから、通常カラムの露光精度を向上させることが可能となる。通常、ダミーカラムは、露光精度を向上させるためにメモリセルの両端に配置されるが、新たにロウデコーダ側にダミーカラムを隣接して複数個設ける場合に比べて、より配置面積を削減することができる。

#### 【0054】

また、図8に示すように、ダミーカラムセクタ104の内部に遅延調整部123を設けることも考えられる。すなわち、図8のように、ロウデコーダ110に近接するダミーカラム101と、ロウデコーダ110と最も離れているダミーカラム101との間に生じる位相遅延を、バッファ122を用いることによって調整することになる。

#### 【0055】

このように遅延調整部123を設けることによって、ダミーカラム101における出力タイミングの調整が容易となり、ダミーカラム101をメモリセルアレイ100内であればどの位置に配置しても同様の効果を得ることができ、配置上の物理的な制約を排除することが可能となる。

#### 【0056】

(実施の形態2)

以下、本発明の実施の形態2にかかる半導体記憶装置について、図面を参照しながら説明する。図9は、本発明の実施の形態2にかかる半導体記憶装置の全体構成図を示している。

#### 【0057】

図9において、131はアンプ起動信号SAEの発生を測定するテスト端子を、203はダミーカラム101とダミーカラムセクタ204とに接続されるダミー制御手段を、204はダミーカラム101の出力とダミー制御手段203の出力に接続されるダミーカラムセクタを、それぞれ示している。

#### 【0058】

他の構成は、図1に示す実施の形態1にかかる半導体記憶装置と同様であることから、同一の符号を付することによって、詳細な説明を省略する。

#### 【0059】

図10は、本発明の実施の形態2にかかる半導体記憶装置におけるダミー制御手段203の内部構成図である。図10において、140はダミーワードラインドライバを示しており、メモリアクセス信号CLKが入力されると、ダミーワードライン駆動信号DWLを出力する。また、241はRESET信号が入力されると、ダミーワードラインDWL1あるいはDWL2のいずれかを選択する信号SEL1又はSEL2を出力する選択回路を示している。

#### 【0060】

また、242はヒューズ素子を、129はPMOSトランジスタを、130はNMOSトランジスタを、133はラッチ用NMOSトランジスタを、128はインバータを、132は信号反転用インバータを、127はDWL1あるいはDWL2を出力するAND回路を、それぞれ示している。

#### 【0061】

ヒューズ素子242は、電源と、PMOSトランジスタ129のソースに接続されており、PMOSトランジスタ129のゲートからRESET信号が入力される。また、PMOSトランジスタ129のドレインはNMOSトランジスタ130のドレインに接続され、NMOSトランジスタ130のソースは接地されており、NMOSトランジスタ130のゲートからRESET信号が入力される。

#### 【0062】

インバータ128の入力は、PMOSトランジスタ129のドレインと、NMOSトランジスタ130のドレインと、ラッチ用NMOSトランジスタ133のドレインとに接続され、ラッチ用NMOSトランジスタ133のソースは接地さ

れている。

#### 【0063】

インバータ128の出力は、ラッチ用NMOSトランジスタ133のゲートと、信号反転用インバータ132の入力と、DWL2を出力するAND回路127と、外部のダミーカラムセクタ204に接続されており、信号反転用インバータ132の出力は、外部のダミーカラムセクタ204と、DWL1を出力するAND回路127に接続されている。

#### 【0064】

図11は、本発明の実施の形態2にかかる半導体記憶装置におけるダミーカラムセクタ204の内部構成図である。図11において、124はダミー制御手段203の出力信号であるSEL1あるいはSEL2を受けて、どちらのダミーカラム101と接続するのを選択する第1の接続選択部を示している。なお、125はNORゲートを示している。

#### 【0065】

このように構成された半導体記憶装置において、外部よりメモリアレイ100へのアクセスが行われると、ロウデコーダ110に接続されているワードラインWL0～WLxのいずれかが選択され、メモリセル111のデータがBL及びNBLに読み出される。通常カラム102のビットラインBL及びNBL、ダミーカラム101のダミービットラインDBL1及びDBL2は、予めビットラインプリチャージ回路120によってハイレベルにプリチャージされており、ワードラインWL0～WLxを選択する時点において、フローティング状態となっている。通常カラム102が複数あることから、複数のデータがそれぞれのBL及びNBLに読み出されるが、カラムセクタ106によって特定のビットラインBL及びNBLのデータが選択されることになる。

#### 【0066】

ワードラインWL0～WLxが選択されるタイミングとほぼ同一のタイミングにおいて、SELECT信号により選択されるダミー制御手段203の出力であるダミーワードラインDWL1又はDWL2が駆動され、n個のダミーセル112を構成するトランジスタが、ダミービットラインDBL1又はダミービットラ

インDBL 2をメモリセル111のn倍のスルーレートでハイレベルからローレベルへと遷移させる。

#### 【0067】

そして、ダミーカラムセクタ204は、ダミー制御手段203により選択されるダミービットラインDBL 1あるいはDBL 2のうち、ローレベルに遷移するダミービットラインを選択し、アンプ制御手段105へDBL信号として転送する。アンプ制御手段105は、DBL信号が入力されると、アンプ起動信号SAEを発生し、アンプ107はアンプ起動信号SAEに基づいて、カラムセクタ106によって選択された特定のビットラインBL及びNBLのデータを増幅することになる。

#### 【0068】

以上の動作において、ダミーワードラインDWL 1とDWL 2、ダミービットラインDBL 1とDBL 2の選択はダミー制御手段203により行われている。具体的には、テスト時において、まずRESET信号としてローレベル信号を印加し、ダミーワードラインDWL 1とダミービットラインDBL 1を選択してメモリアクセステストを実施する。次に、RESET信号としてハイレベル信号を印加して、ダミーワードラインDWL 2とダミービットラインDBL 2を選択してメモリアクセステストを実施する。

#### 【0069】

そして、ダミーワードラインDWL 1とダミービットラインDBL 1が正常である場合には、図10に示すヒューズ素子142を切断せず、ダミーワードラインDWL 2とダミービットラインDBL 2に切り替えたい場合に、ヒューズ素子142を切断し、再度メモリアクセスを測定し、許容範囲内であることを確認してから使用することになる。

#### 【0070】

テスト端子を設ける場合は、テスト端子131においてアンプ起動信号SAEの生成タイミングを測定し、予め設定されたタイミングに対して許容範囲であれば、図10に示す選択回路141に含まれるヒューズ素子142を切断せずにダミーワードラインDWL 1を選択し、図11に示すダミーカラムセクタ204

内における第1の接続選択部124によってダミービットラインDBL1が選択される状態となる。

#### 【0071】

また、テスト端子131より測定したアンプ起動信号SAEの生成タイミングが許容範囲外であれば、ヒューズ素子142をレーザ等で切断してダミーワードラインDWL2を選択し、図11に示すダミーカラムセクタ204内における第1の接続選択部124によってダミービットラインDBL2が選択される状態となる。この状態で再度テスト端子131においてアンプ起動信号SAEの生成タイミングを測定し、許容範囲内であることを確認してから使用することになる。

#### 【0072】

以上のように本実施の形態2によれば、テスト端子を設けることによって、ダミーセルの欠陥を確実に把握することができ、ダミーセルに欠陥がある場合に、ダミーカラムを置き換えることができることから、半導体記憶装置の面積を増加させることなく生産歩留まりを向上することが可能となる。

#### 【0073】

また、図12に示すように、ダミーカラムセクタ204内において、接続選択部を複数個設けることも考えられる。図12は、本発明の実施の形態2にかかる半導体記憶装置におけるダミーカラムセクタ204の他の内部構成図である。

#### 【0074】

図12に示すように、ダミーカラムセクタ204が、ダミー制御手段203から選択信号SEL1あるいはSEL2の出力に基づいてダミーカラム101の接続を選択する第1の接続選択部124に加えて、遅延調整部123の出力の接続を選択する第2の接続選択部126を備えている点に特徴を有する。

#### 【0075】

このような構成にすることによって、遅延調整部123自体に不良が発生した場合であっても、ロウデコーダ110に近接するダミーカラム101からの出力信号であるDBL1、あるいはロウデコーダ110と最も離れているダミーカラム

ム 101 からの出力信号である DBL 2 のいずれかを第 2 の接続選択部 126 によって生かすことができ、同様に生産歩留まりを向上することが可能となる。

#### 【0076】

また、図 13 は本発明の実施の形態 2 にかかる半導体記憶装置の他の構成図であり、アンプ制御手段を 2 個有する点に特徴を有するものである。図 14 は図 13 に示す構成におけるダミーカラムセクタ 304 の内部構成図であり、図 15 は図 13 に示す構成におけるアンプ 109 の内部構成図である。

#### 【0077】

ダミーカラム 101 の出力信号である DBL 1 あるいは DBL 2 は、ダミーカラムセクタ 304 を通して、それぞれ異なるアンプ制御手段 105 あるいは 108 に接続される。そして、それぞれのアンプ制御手段 105 あるいは 108 からアンプ起動信号 SAE 1 あるいはアンプ起動信号 SAE 2 がアンプ 109 内における異なるセンスアンプ 107A に接続される。

#### 【0078】

このような構成にすることで、ダミーカラム 101 ごとに独立したアンプ起動信号を出力することができ、それぞれ対応するセンスアンプを起動することができることから、メモリセルアレイ 100 の大きさの大小に起因するアンプ起動タイミングのズレを解消することが可能となる。

#### 【0079】

さらに、図 16 に示すように、アンプ制御手段それぞれにテスト端子を設ける構成も考えられる。図 17 は、この場合におけるアンプ制御手段 142 の内部構成図を示している。図 17 に示すように、アンプ制御手段 142 は、ダミー制御手段 203、ダミーカラム 101 に接続されており、アンプ 141 に対してアンプ起動信号 SAE 1 を出力するものである。そして、バッファ 122 を複数個有する遅延調整部 105B を有しており、アンプ起動信号を発生するアンプ制御信号発生部 105A から出力される SAE 1 の位相遅延を調整できるようになっている。なお、142A は信号選択部を、128 はインバータを、それぞれ示している。

#### 【0080】

また、図 18 は、この場合における他方のアンプ制御手段 143 の内部構成図を示しており、アンプ制御手段 142 と同様の構成であるが、遅延調整部 105 B を有さない点において相違している。これは、アンプ制御手段 143 が、ロウデコーダ 110 から最も離れた位置に配置されているダミーカラム 101 と接続されており、位相遅延はダミーカラム 101 から出力されてくる信号をベースに調整するものだからである。

#### 【0081】

図 19 は、この場合におけるアンプ 141 の構成図であり、アンプ制御手段 142 からのアンプ起動信号 SAE1 と、アンプ制御手段 143 からのアンプ起動信号 SAE2 に、それぞれ複数個のセンスアンプ 107 A が接続されている。また、図 17 及び図 18 に示しているように、アンプ制御手段 142 及び 143 は、ダミー制御手段 203 の出力信号である SEL1 あるいは SEL2 を受けて、アンプ起動信号 SAE1 及び SAE2 を、それぞれ出力するか否かを選択する信号選択部 142 A を有している。

#### 【0082】

図 20 に、アンプ制御手段 142 内においてジェネレータで生成される遅延調整部の例を示す。位相遅延が小さい場合には図 20 (a) に示すような使用されているバッファ 122 の数が少ない遅延調整部 105 C を、大きい場合には図 20 (b)、(c) に示すような使用されているバッファ 122 の数が多い遅延調整部 105 D、105 E 等が生成されることになる。このようにメモリ容量に応じて、遅延値の異なる遅延調整部を生成できる構成となっている。

#### 【0083】

このような構成とすることによって、アンプ制御手段 142 あるいはアンプ制御手段 143 に不良が生じた場合であっても、いずれか一方のアンプ制御手段 1 つを用いてセンスアンプの起動を行うことが可能となる。

#### 【0084】

##### (実施の形態 3)

以下、本発明の実施の形態 3 にかかる半導体記憶装置について、図面を参照しながら説明する。図 21 は、本発明の実施の形態 3 にかかる半導体記憶装置の全



体構成図を示している。本実施の形態 3 においては、実施の形態 2 におけるアンプ制御手段を 2 個有する構成を基本としている。

#### 【0085】

図 21 において、300 はメモリアレイを、301 はメモリアレイ 300 に二列含まれているダミーカラムを、303 及び 305 はメモリアレイ 300 に含まれるダミーロウを、それぞれ示している。本実施の形態 3 においても、ダミーカラム 301 は、通常カラム 302 を挟んで一列ずつ配置されており、一列はロウデコーダ 310 に近接して、他の一列はロウデコーダ 310 から最も離れた位置に、それぞれ配置されている。

#### 【0086】

また、304 はダミーカラム 301 の出力に接続されるダミーカラムセクタを示しており、メモリアレイ 300 に接続されるダミー制御手段 403 の出力信号によって、どちらのダミーカラム 301 を選択するのか制御されることになる。

#### 【0087】

ダミー制御手段 403 の出力であるダミーワードライン DWL1、DWL1A、DWL2、及び DWL2A と、SEL1 及び SEL2 は、ダミーカラム 301 に入力される。通常カラム 302 を挟んで左右に配置されているダミーカラム 301 の出力であるダミービットライン DBL1 及び DBL2 は、ダミーカラムセクタ 304 に接続されている。そして、アンプ制御手段 142 にはダミー制御手段 403 の出力 SEL1 とダミーカラム 301 の出力が入力され、アンプ制御手段 143 にはダミー制御手段 403 の出力 SEL2 とダミーカラム 301 の出力が入力される構成となっている。

#### 【0088】

他の構成は、図 13 に示す本発明の実施の形態 2 にかかる半導体記憶装置と同様の構成であることから、同一の符号を付することによって詳細な説明を省略する。

#### 【0089】

図 22 は、本実施の形態 3 にかかる半導体記憶装置におけるメモリアレイ 30

0の構成を示している。図22において、116はダミーカラムに配置された複数ダミーセル112のうち、ダミーワードラインDWL1、DWL1A、DWL2、DWL2Aによりそれぞれ選択され、ダミービットラインDBL1、DBL2を駆動する複数のダミーセル112を、示している。

#### 【0090】

図23は、本実施の形態3にかかる半導体記憶装置におけるダミー制御手段403の構成を示しており、ダミーワードラインドライバ140は、メモリアクセス信号CLKが入力されると、DWL信号を出力する。そして、241は選択回路を示しており、RESET1信号あるいはRESET2信号が入力されると、ダミーセル112の出力のいずれかを選択する信号SEL1あるいはSEL2を出力することになる。

#### 【0091】

図24は本実施の形態3にかかる半導体記憶装置における切り替えセル117の内部構成を示す。図24に示すように、切り替えセル117はメモリセル111を構成するトランジスタ素子と同一のトランジスタ素子で構成されている。

#### 【0092】

このような構成とすることによって、ダミービットラインDBLを駆動する複数のダミーセル316について、同一ダミーカラム301上で、連続して配置されている複数のグループに分類し、それぞれに切り替えセル117を接続することによって、ダミーカラムの数を増やすことなく、不良ダミーセルを置換することができる。したがって、メモリアレイ300の面積を増やすことなく、生産歩留まりを向上することが可能となる。

#### 【0093】

また、左右のアンプ制御手段によってアンプ起動タイミングを制御することができることから、メモリセル構成の差によるアンプ起動タイミングのズレも効果的に補正することができる。

#### 【0094】

さらに、図22における複数のダミーセル116内のダミーワードラインDWL1、DWL1A、DWL2、DWL2Aによりそれぞれ選択され、ダミービッ

トラインDBL1及びDBL2を駆動する複数のダミーセル112の数を同数にし、かつ切り替えセル117をダミーカラム内の複数のダミーセル116と複数のダミーセル116の間に配置し、図21におけるダミー制御手段403の出力であるダミーワードラインDWL1及びDWL1Aと、DWL2及びDWL2Aを、それぞれ図22に示すダミーセル112に入力されるまで等長となるように配線することによって、さらに精度のよいダミー回路を構成することが可能である。

#### 【0095】

##### 【発明の効果】

以上のように本発明にかかる半導体記憶装置によれば、複数のダミーカラムをメモリセルを挟むようにロウデコーダ側及びロウデコーダ側から最も離れた位置に配置し、ダミーセルに欠陥がある場合に置き換えることができる構成とすることによって、半導体記憶装置の生産歩留まりを向上することが可能となる。

#### 【0096】

また、遅延調整部を設けることによって、メモリセルの構成の変化に対応して配線負荷を精度よく擬似することができ、より精度のよいダミー回路を構成することが可能となる。

##### 【図面の簡単な説明】

【図1】 本発明の実施の形態1にかかる半導体記憶装置の構成図

【図2】 本発明の実施の形態1にかかる半導体記憶装置におけるダミー制御手段の内部構成図

【図3】 本発明の実施の形態1にかかる半導体記憶装置におけるメモリアレイの内部構成図

【図4】 本発明の実施の形態1にかかる半導体記憶装置における通常メモリセルの内部構成図

【図5】 本発明の実施の形態1にかかる半導体記憶装置におけるダミーメモリセルの内部構成図

【図6】 本発明の実施の形態1にかかる半導体記憶装置におけるダミーカラムセレクトの内部構成図

【図 7】 本発明の実施の形態 1 にかかる半導体記憶装置におけるアンプの内部構成図

【図 8】 本発明の実施の形態 1 にかかる半導体記憶装置におけるダミーコラムセレクトの内部構成図

【図 9】 本発明の実施の形態 2 にかかる半導体記憶装置の構成図

【図 10】 本発明の実施の形態 2 にかかる半導体記憶装置におけるダミー制御手段の内部構成図

【図 11】 本発明の実施の形態 2 にかかる半導体記憶装置におけるダミーコラムセレクトの内部構成図

【図 12】 本発明の実施の形態 2 にかかる半導体記憶装置におけるダミーコラムセレクトの内部構成図

【図 13】 本発明の実施の形態 2 にかかる半導体記憶装置の他の構成図

【図 14】 本発明の実施の形態 2 にかかる半導体記憶装置におけるダミーコラムセレクトの内部構成図

【図 15】 本発明の実施の形態 2 にかかる半導体記憶装置におけるアンプの内部構成図

【図 16】 本発明の実施の形態 2 にかかる半導体記憶装置の他の構成図

【図 17】 本発明の実施の形態 2 にかかる半導体記憶装置におけるアンプ制御手段の内部構成図

【図 18】 本発明の実施の形態 2 にかかる半導体記憶装置におけるアンプ制御手段の内部構成図

【図 19】 本発明の実施の形態 2 にかかる半導体記憶装置におけるアンプの内部構成図

【図 20】 本発明の実施の形態 2 にかかる半導体記憶装置図における遅延調整部の例示図

【図 21】 本発明の実施の形態 3 にかかる半導体記憶装置における半導体記憶装置の構成図

【図 22】 本発明の実施の形態 3 にかかる半導体記憶装置におけるメモリアレイの内部構成図

【図 2 3】 本発明の実施の形態 3 にかかる半導体記憶装置におけるダミー制御手段の内部構成図

【図 2 4】 本発明の実施の形態 3 にかかる半導体記憶装置における切り替えセルの内部構成図

【図 2 5】 従来の半導体記憶装置の構成図

【図 2 6】 従来の半導体記憶装置におけるメモリアレイの内部構成図

【図 2 7】 従来の半導体記憶装置における通常メモリセルの内部構成図

【図 2 8】 従来の半導体記憶装置におけるダミーセルの内部構成図

【符号の説明】

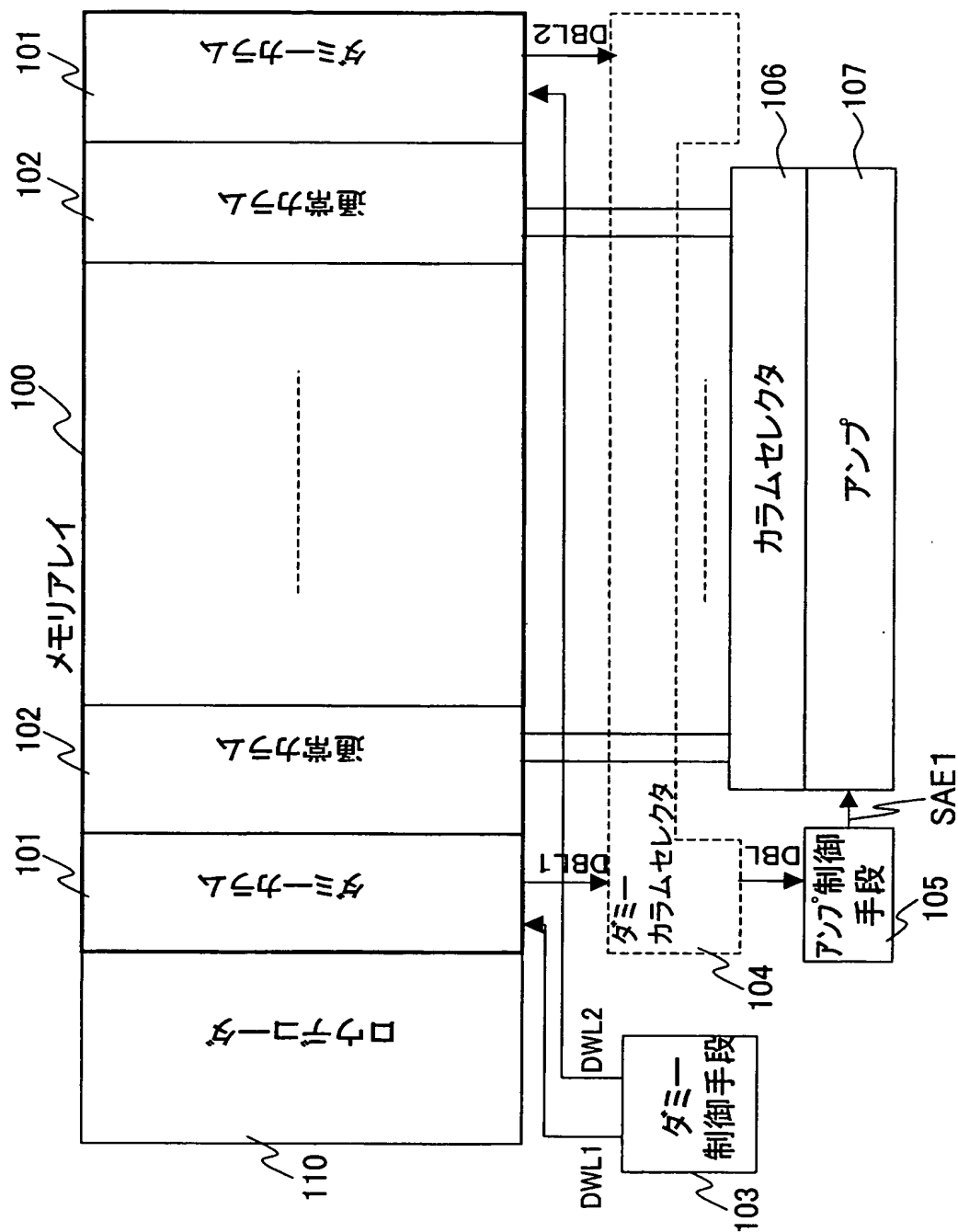
100、300、500   メモリアレイ  
101、301、501、502   ダミーカラム  
102、302、504   通常カラム  
103、203、403、505   ダミー制御手段  
104、204、304   ダミーカラムセレクタ  
105、142、143、507   アンプ制御手段  
105A   アンプ制御信号発生部  
105B、105C、105D、105E、123   遅延調整部  
106、508   カラムセレクタ  
107、109、141、509   アンプ  
107A   センスアンプ  
110、310、510   ロウデコーダ  
111、511   メモリセル  
112、512、513   ダミーセル  
116   ダミーメモリセル群  
117   切り替えセル  
120   プリチャージ回路  
121   NANDゲート  
122、140A   バッファ  
124   第1の接続選択部

- 1 2 5 NORゲート
- 1 2 6 第2の接続選択部
- 1 2 7 ANDゲート
- 1 2 8 インバータ
- 1 2 9 PMOSトランジスタ
- 1 3 0 NMOSトランジスタ
- 1 3 1 テスト手段
- 1 3 2 信号反転用インバータ
- 1 3 3 ラッチ用NMOSトランジスタ
- 1 4 0 ダミーワードラインドライバ
- 1 4 2 A 信号選択部
- 2 4 1 選択回路
- 2 4 2 ヒューズ素子
- 3 0 3、3 0 5 ダミーロウ

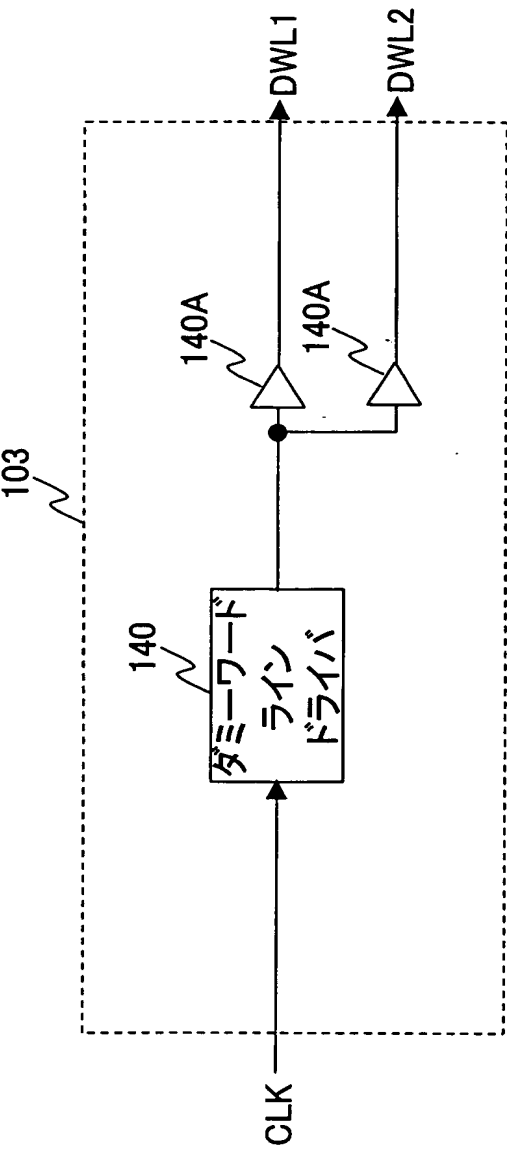
【書類名】

図面

【図 1】

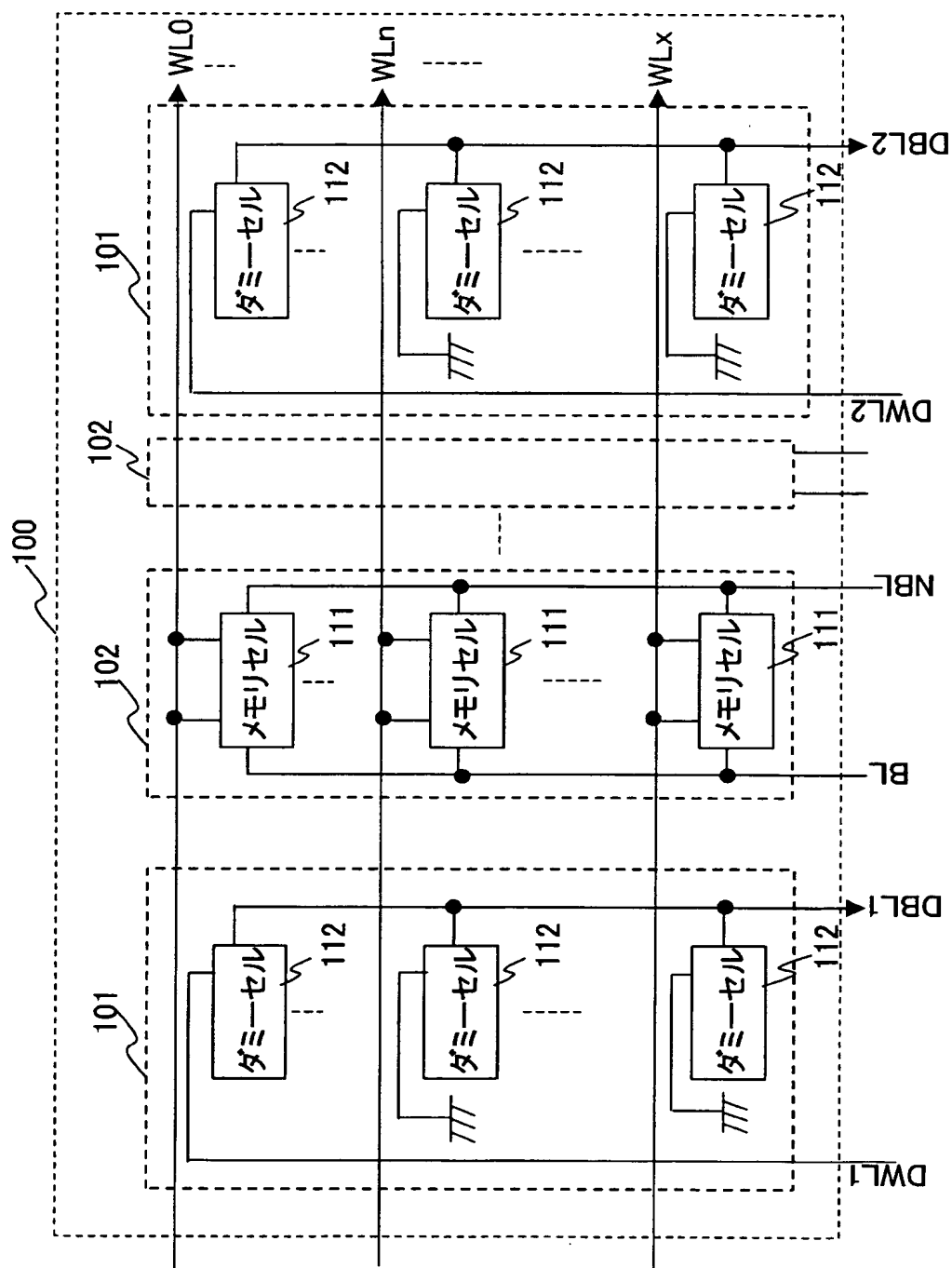


【図 2】

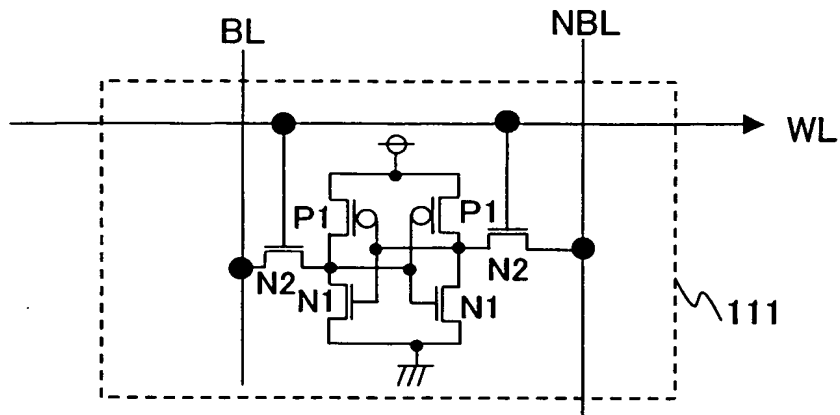




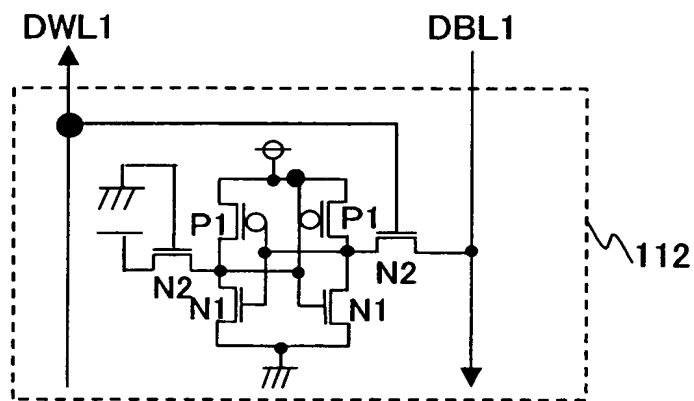
【図 3】



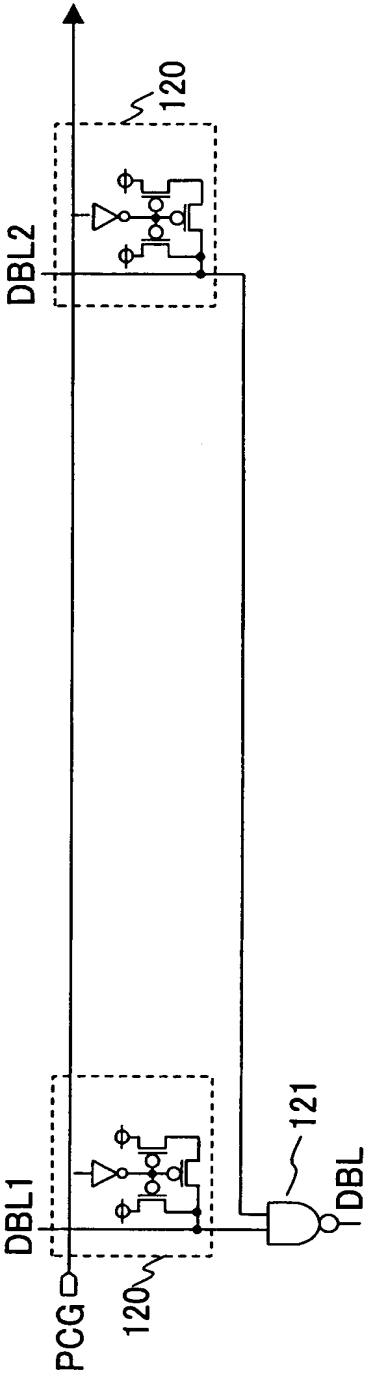
【図 4】



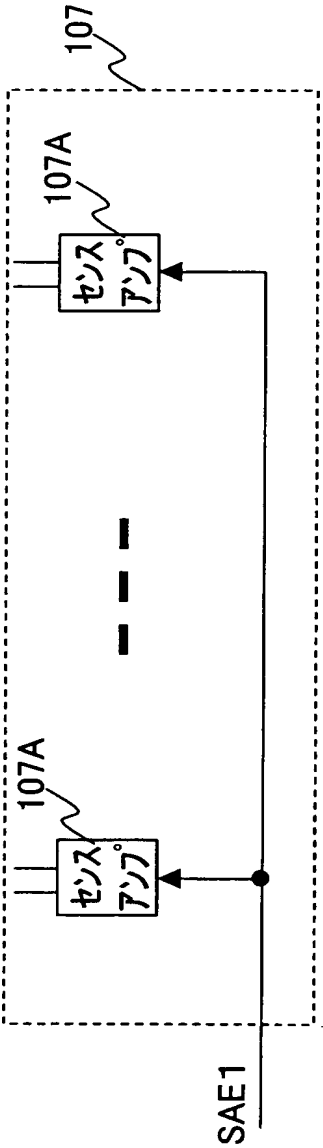
【図 5】



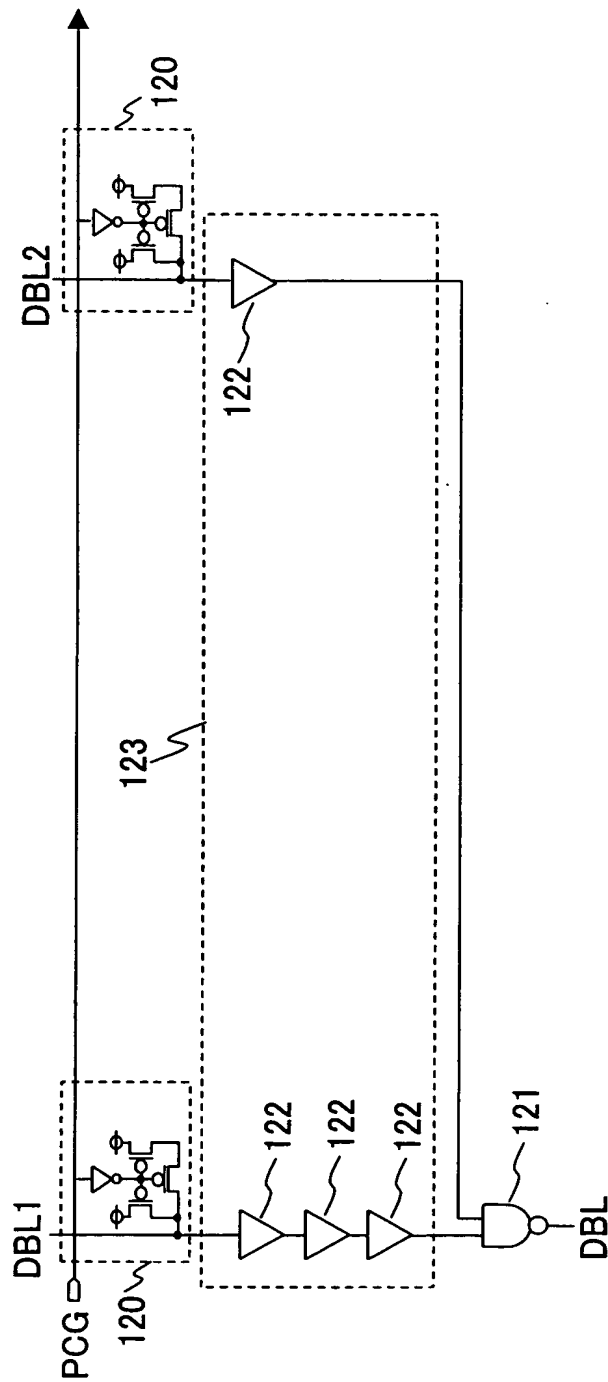
【図 6】



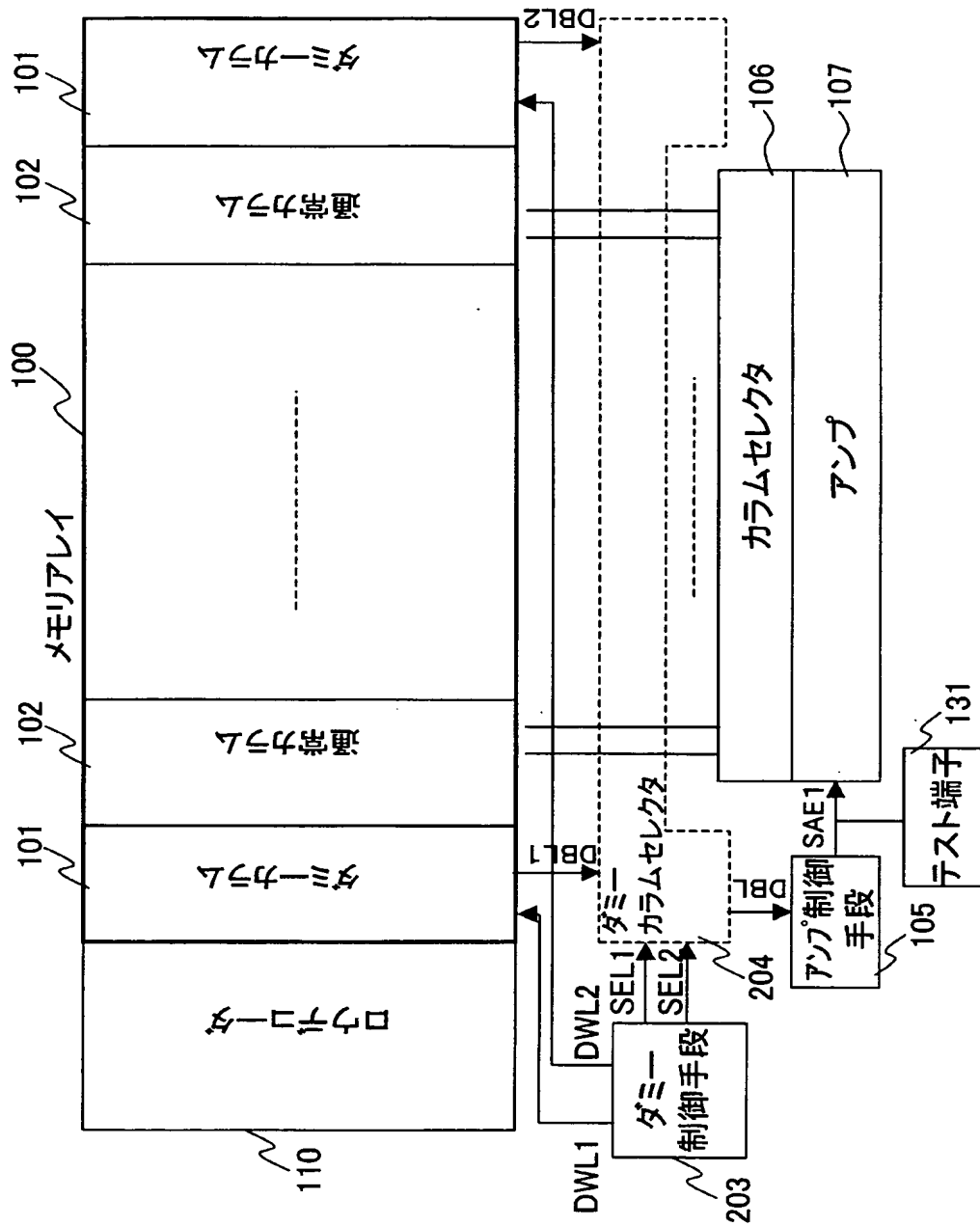
【図 7】



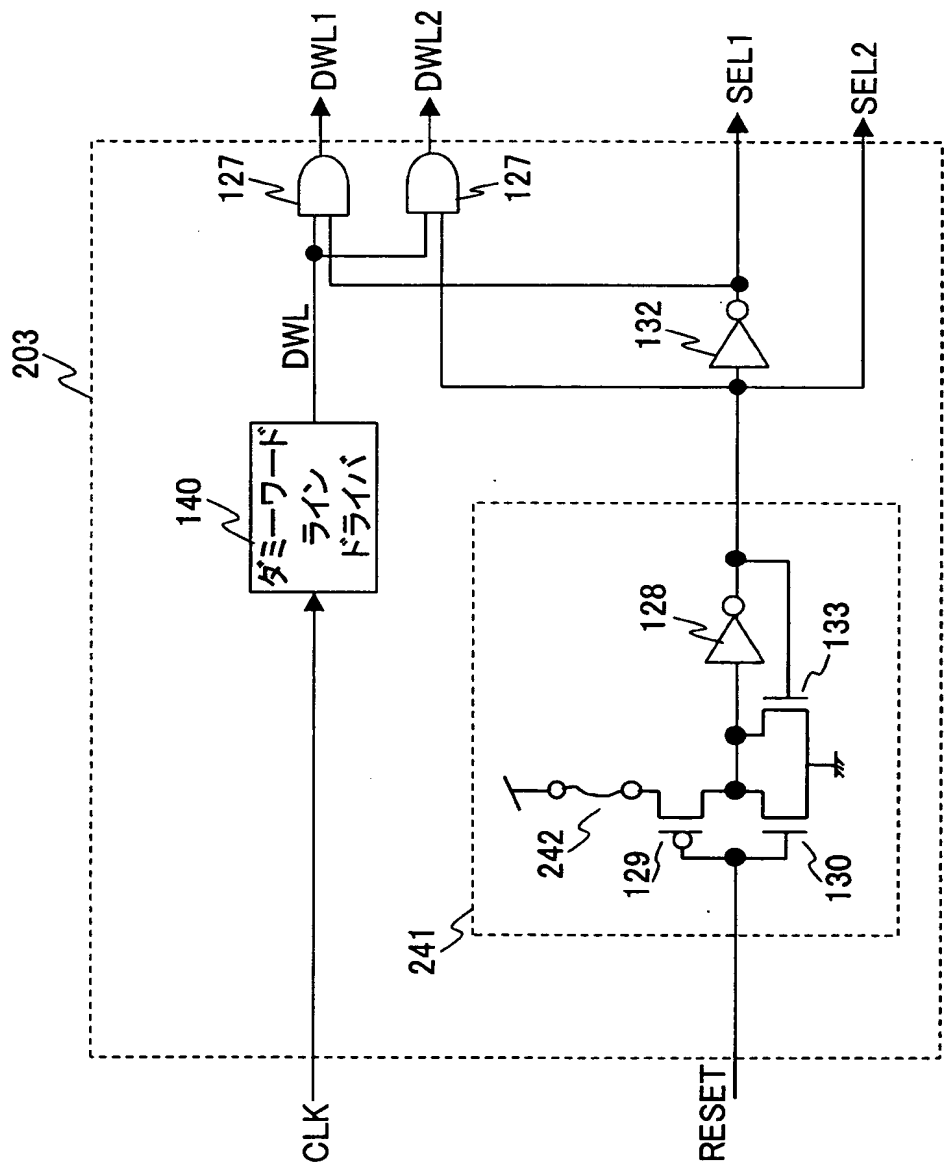
【図 8】



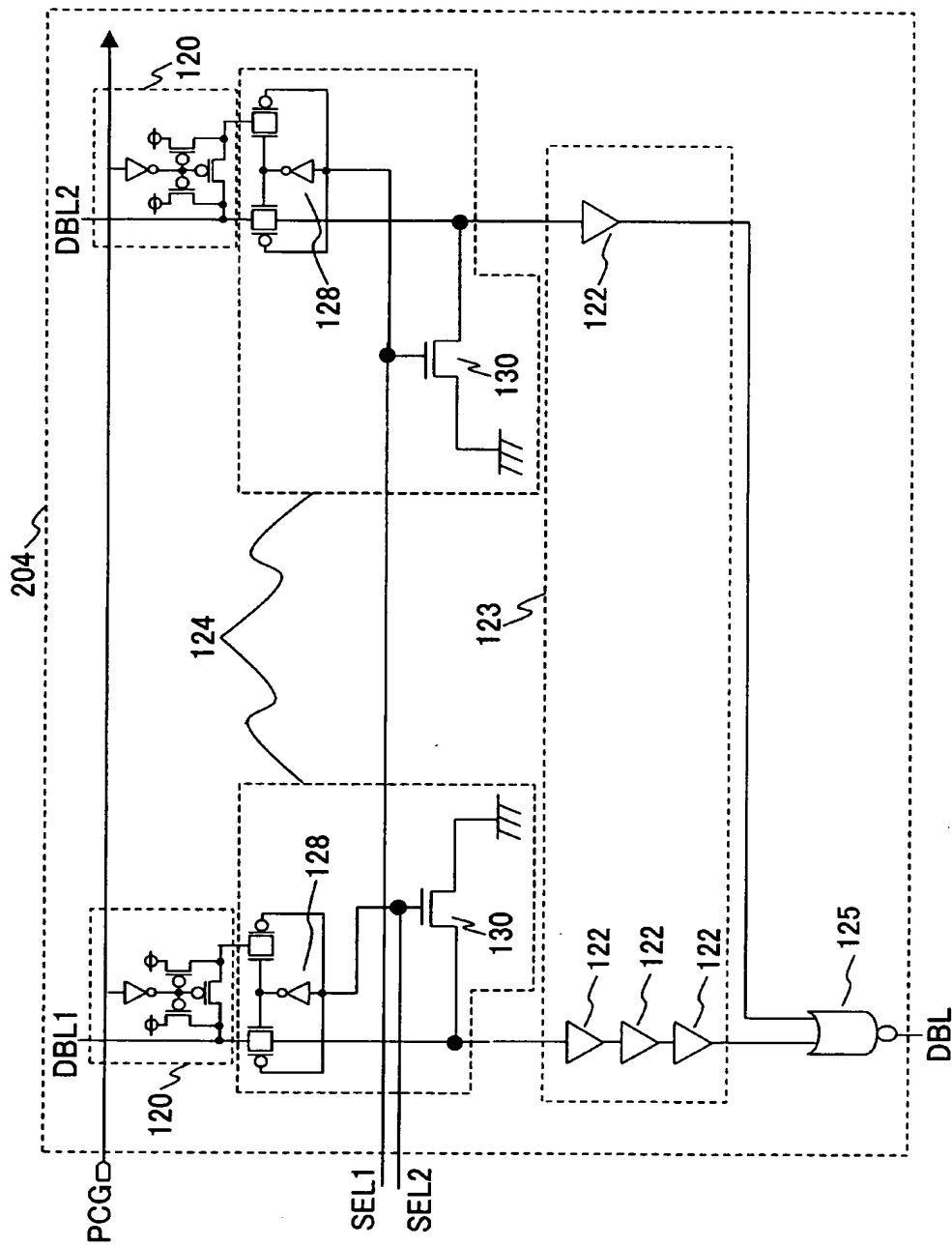
【図 9】



【図 10】

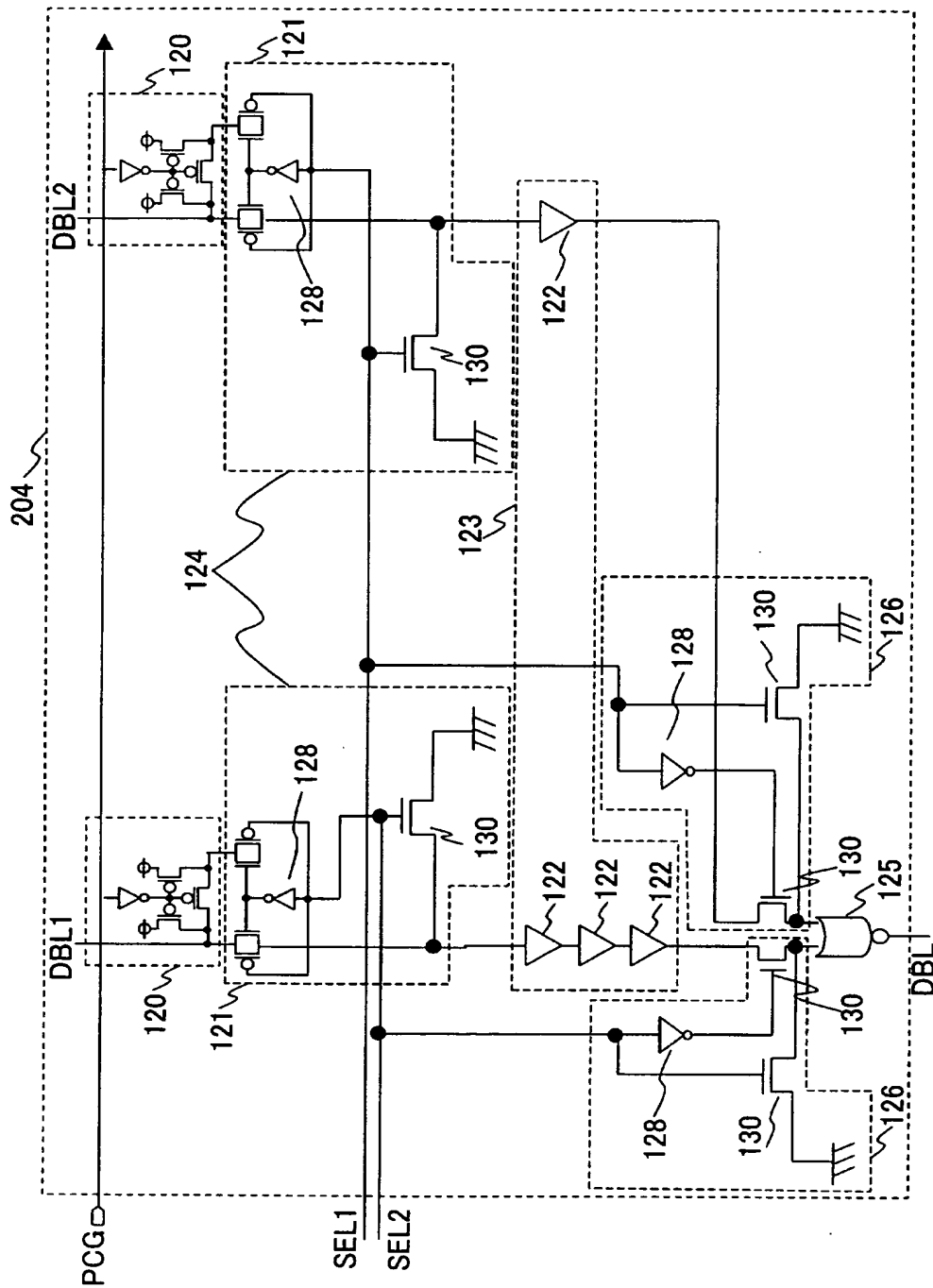


【図 11】

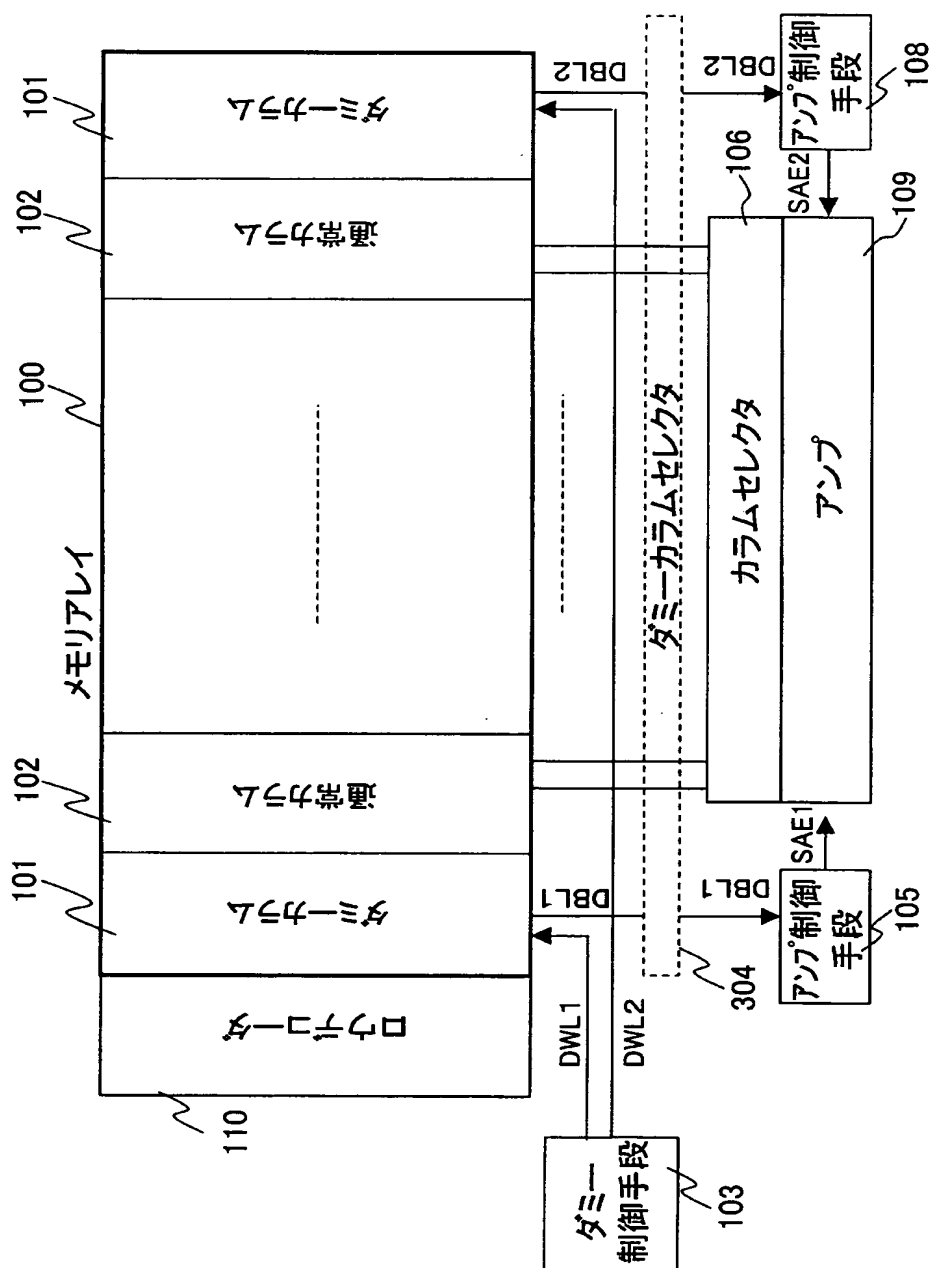




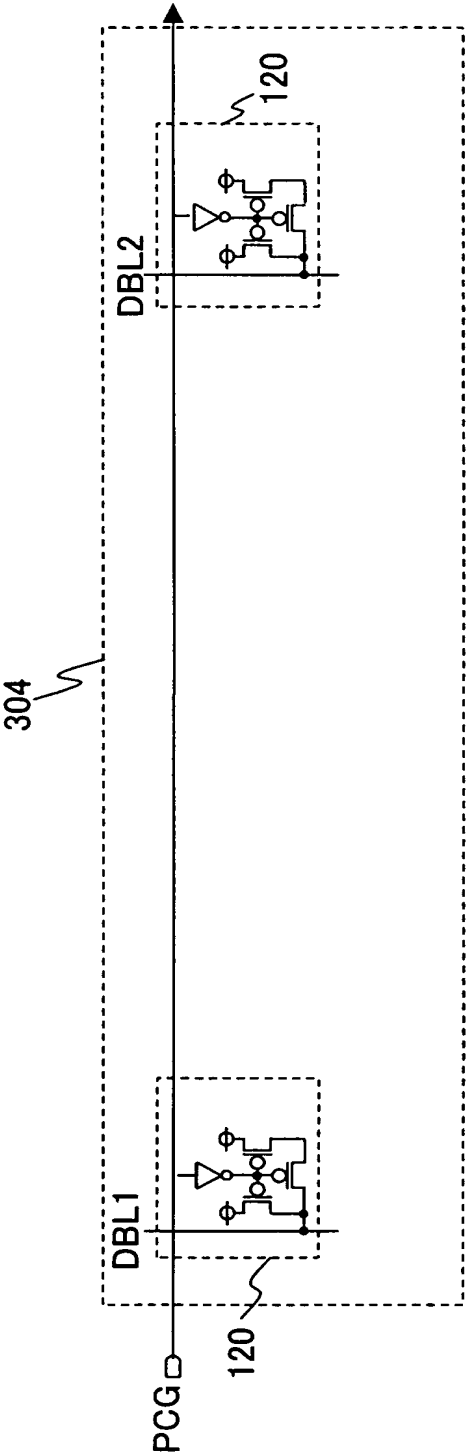
【図 12】



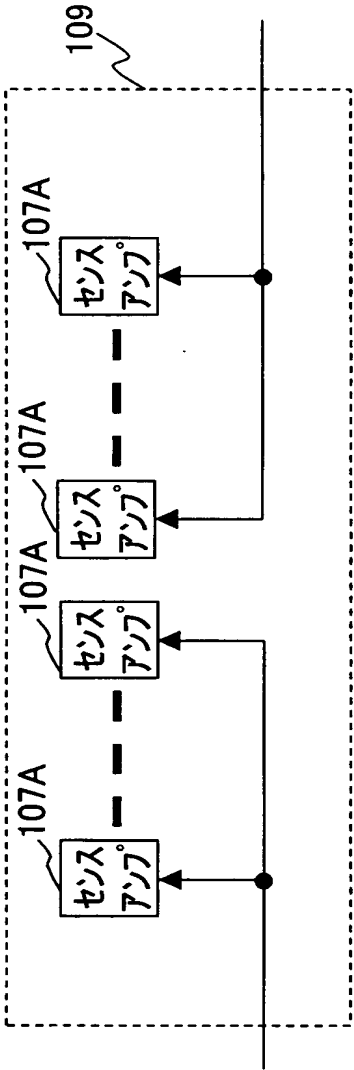
【図13】



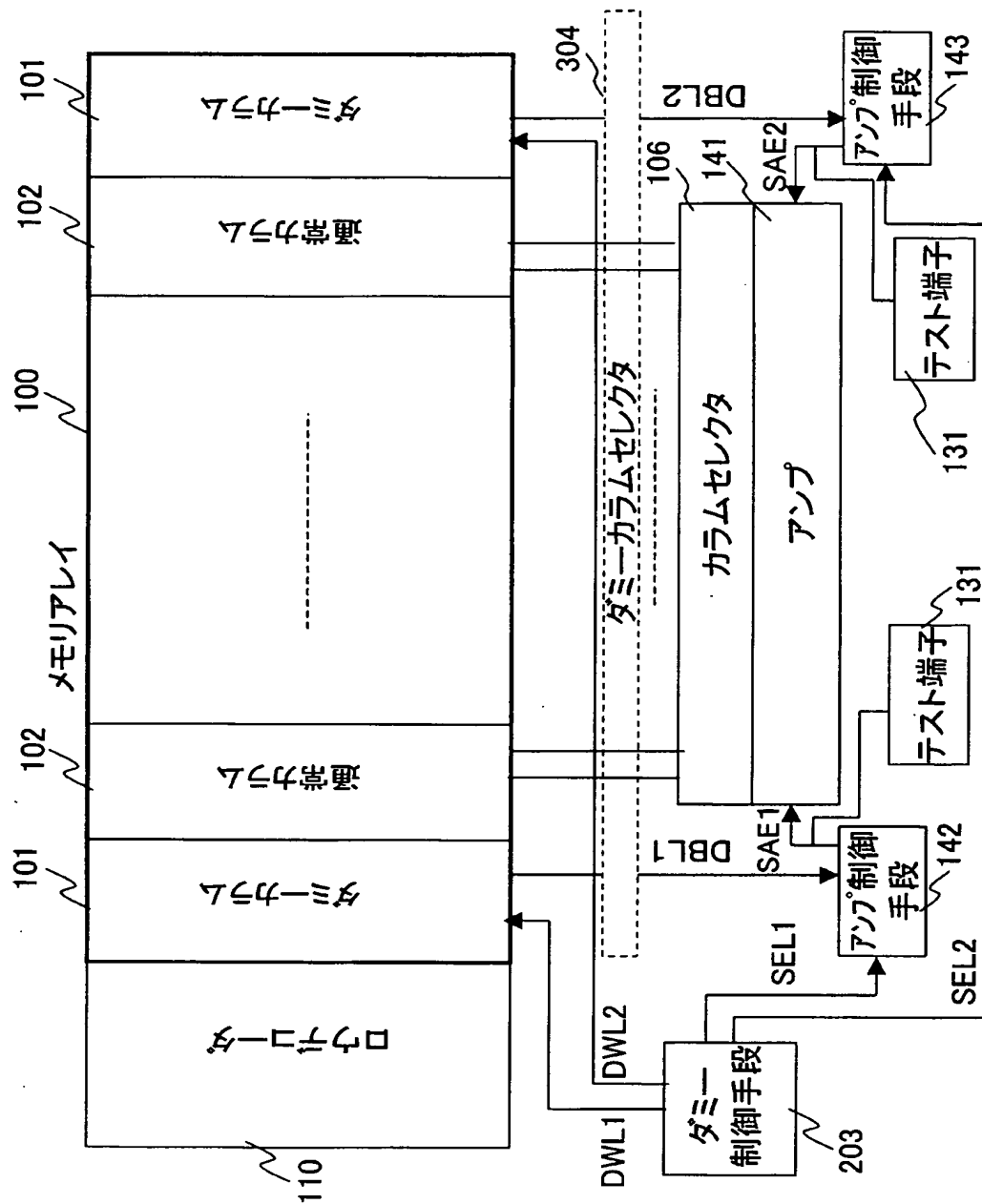
【図 1 4】



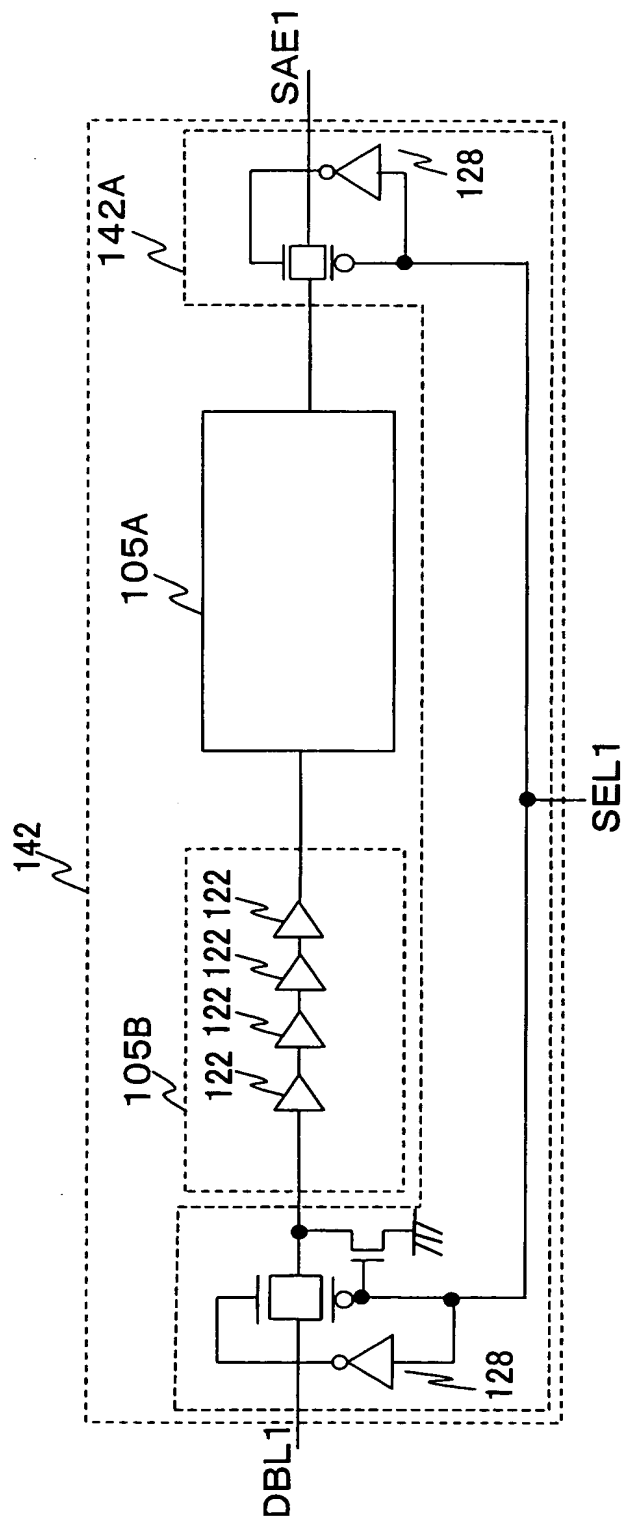
【図 1 5】



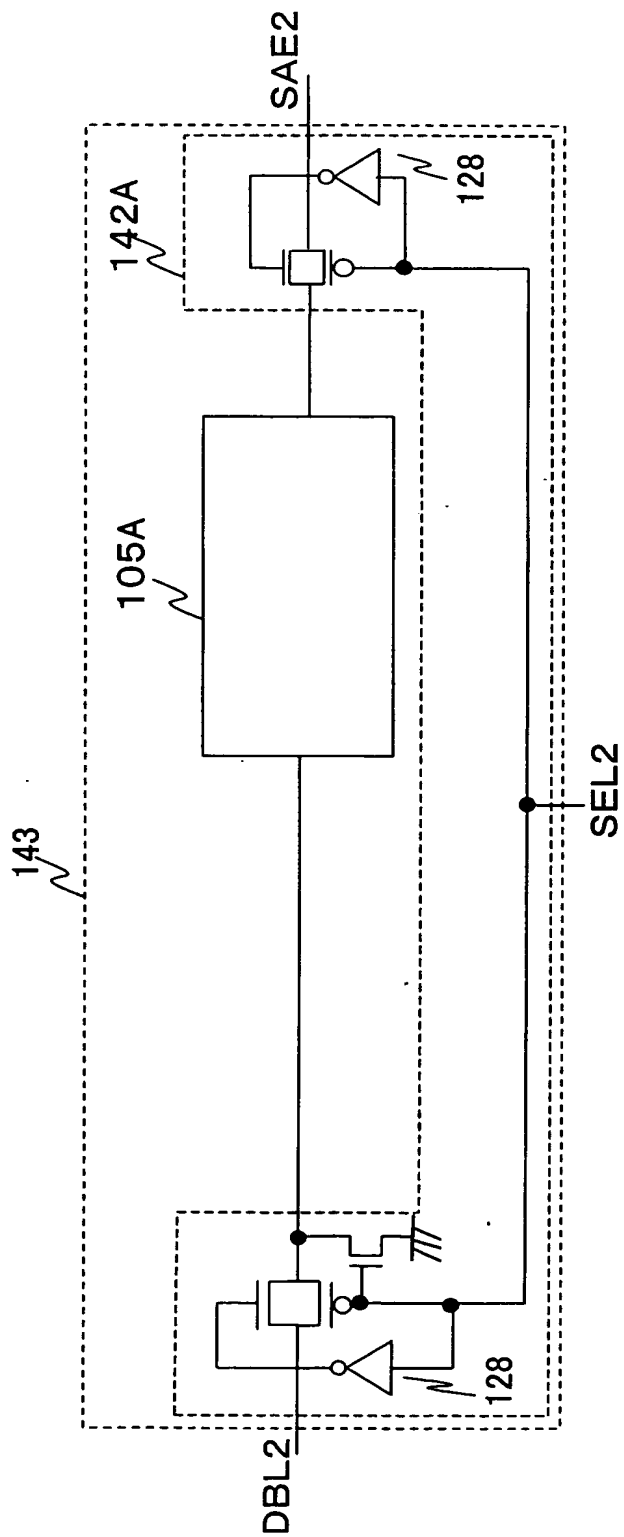
【図 16】



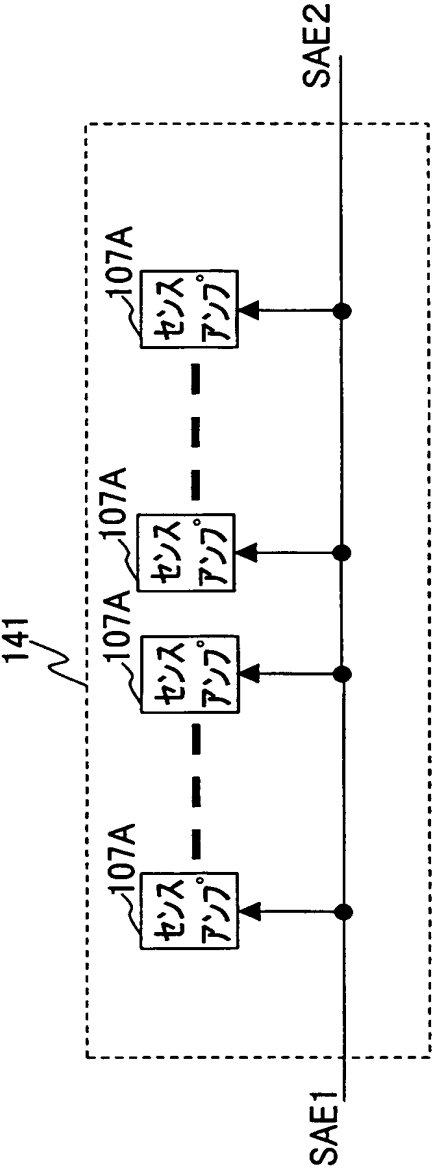
【図 17】



【図 18】

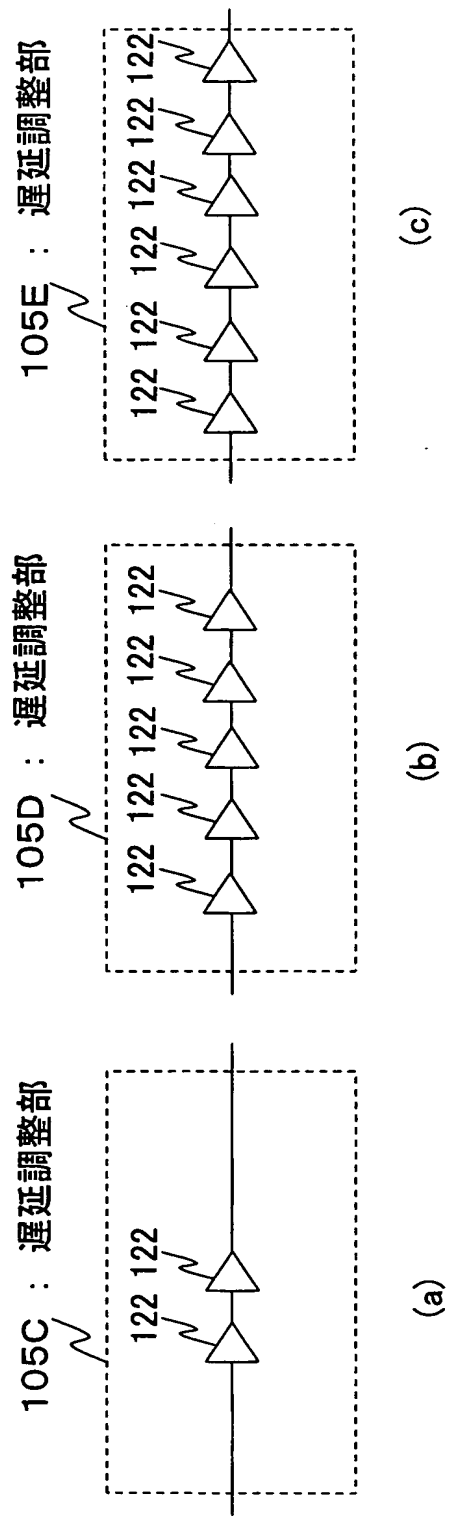


【図 1 9】

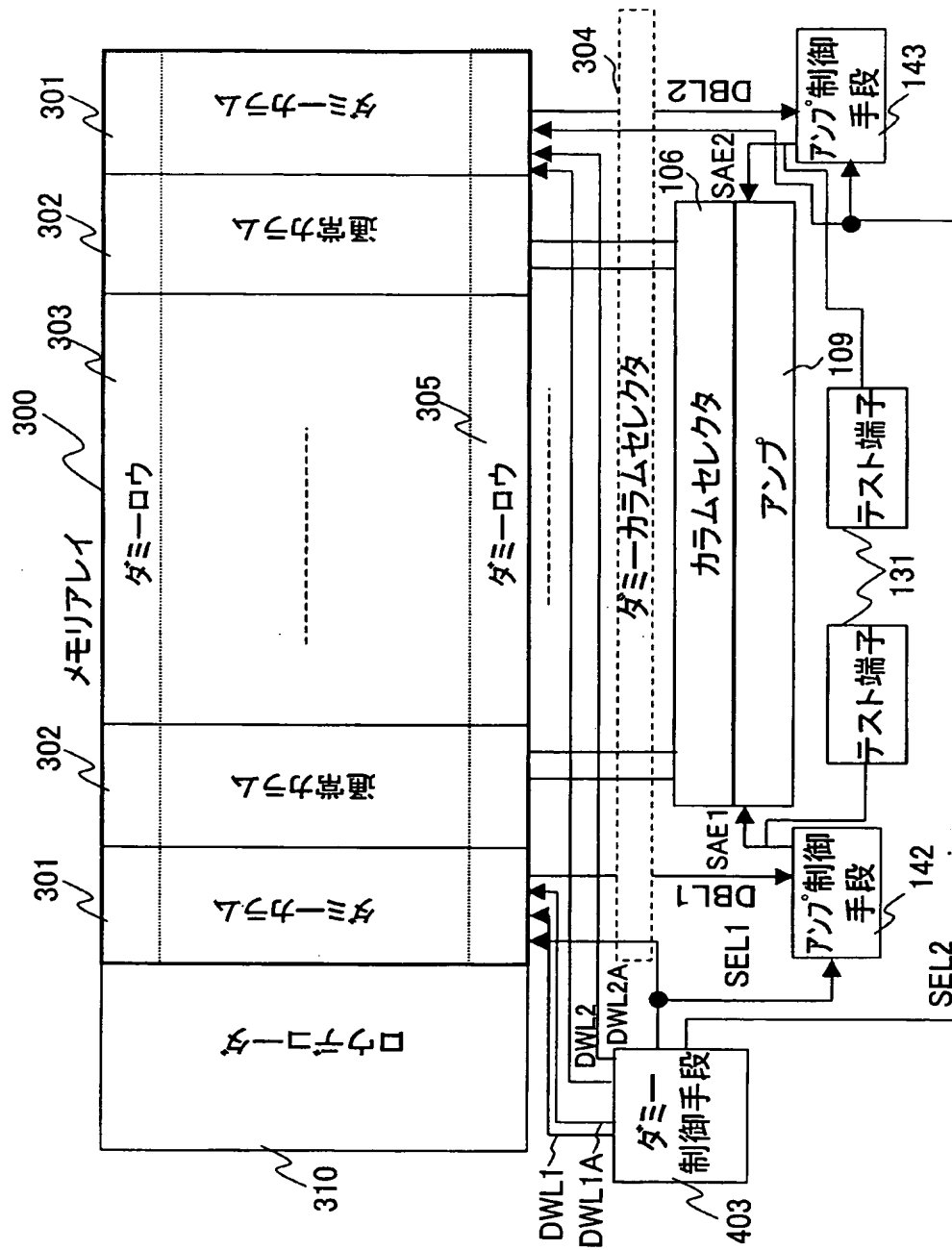




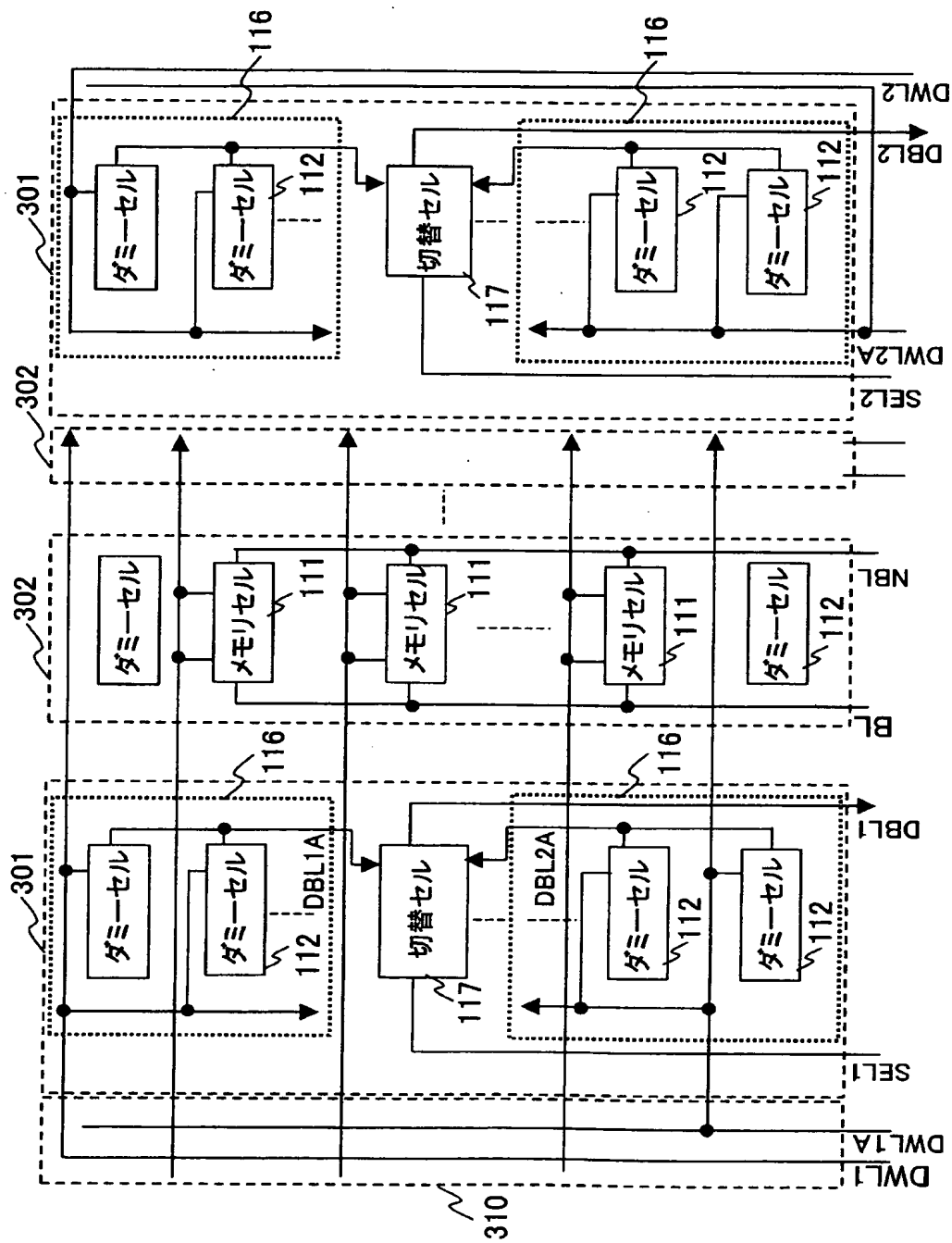
【図 2 0】



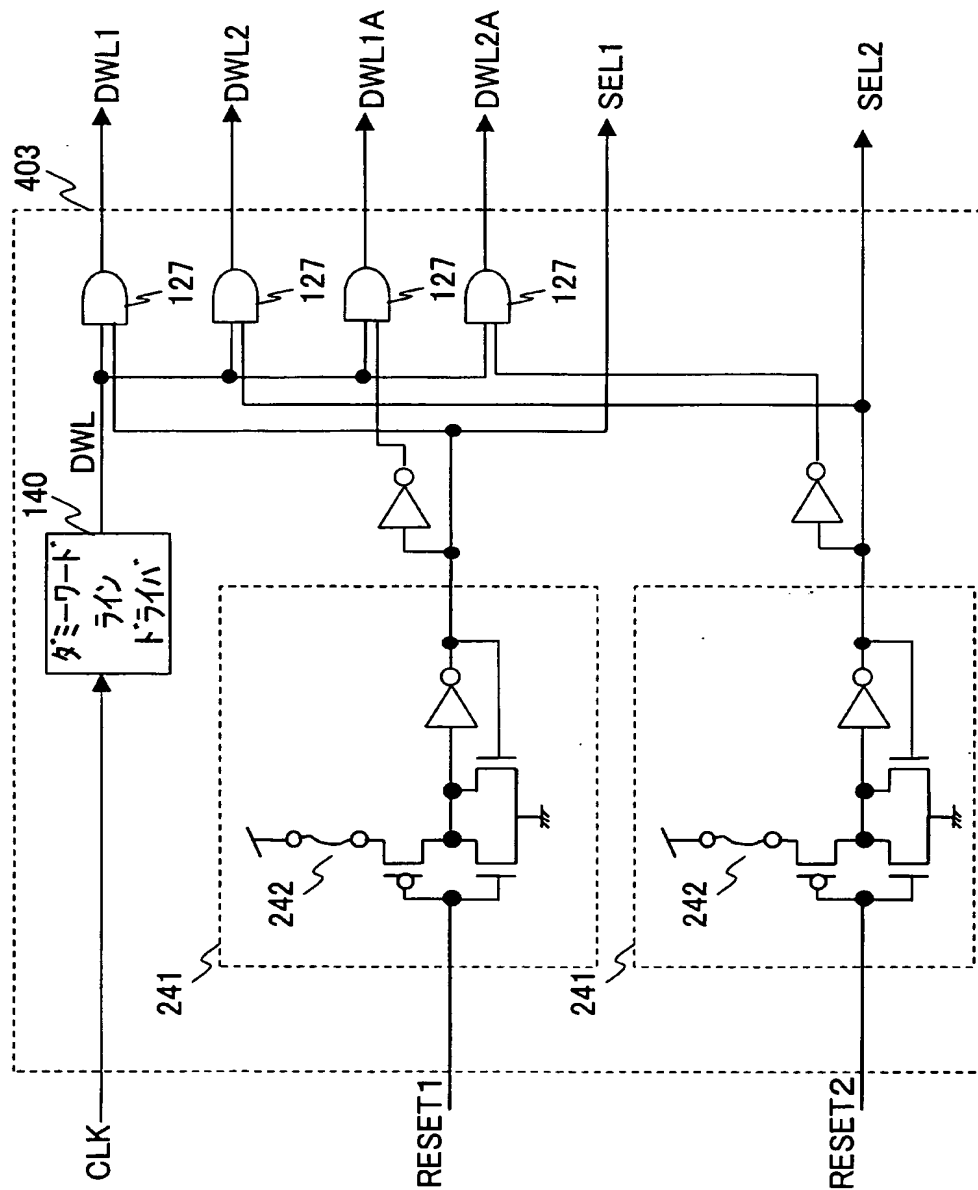
【図 21】



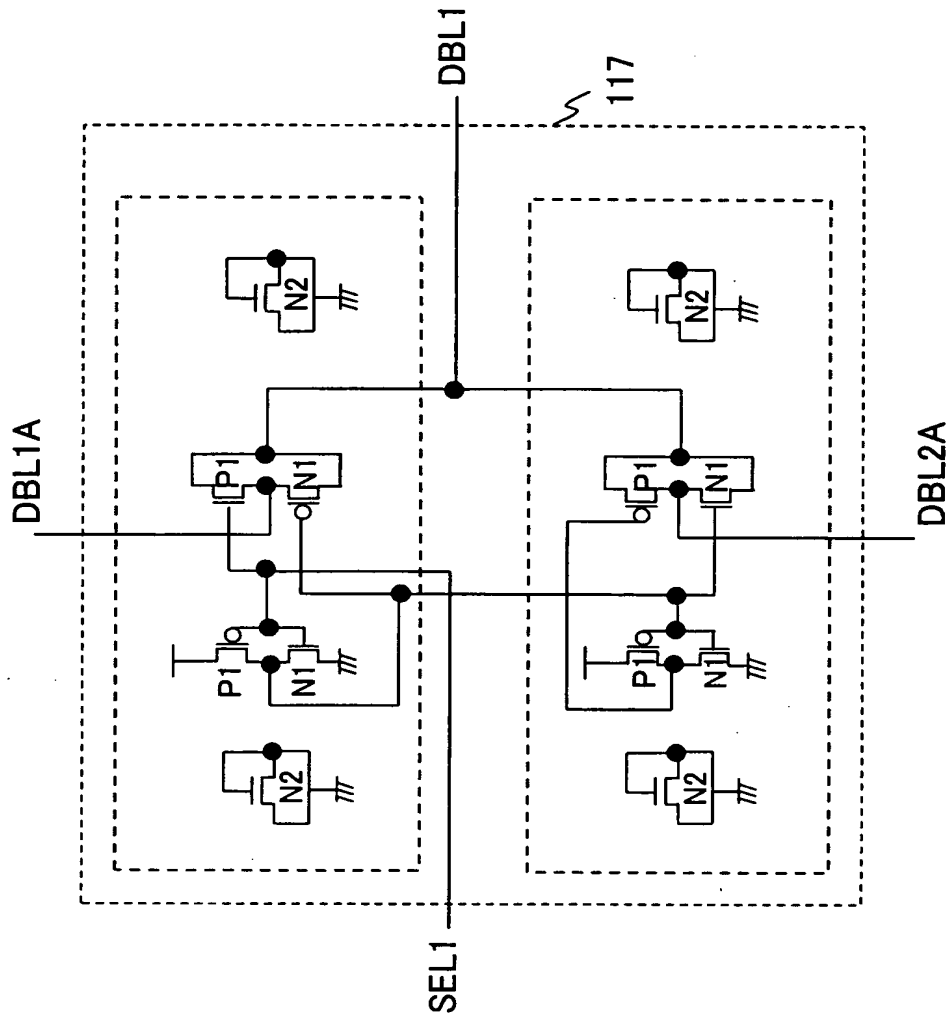
【図 22】



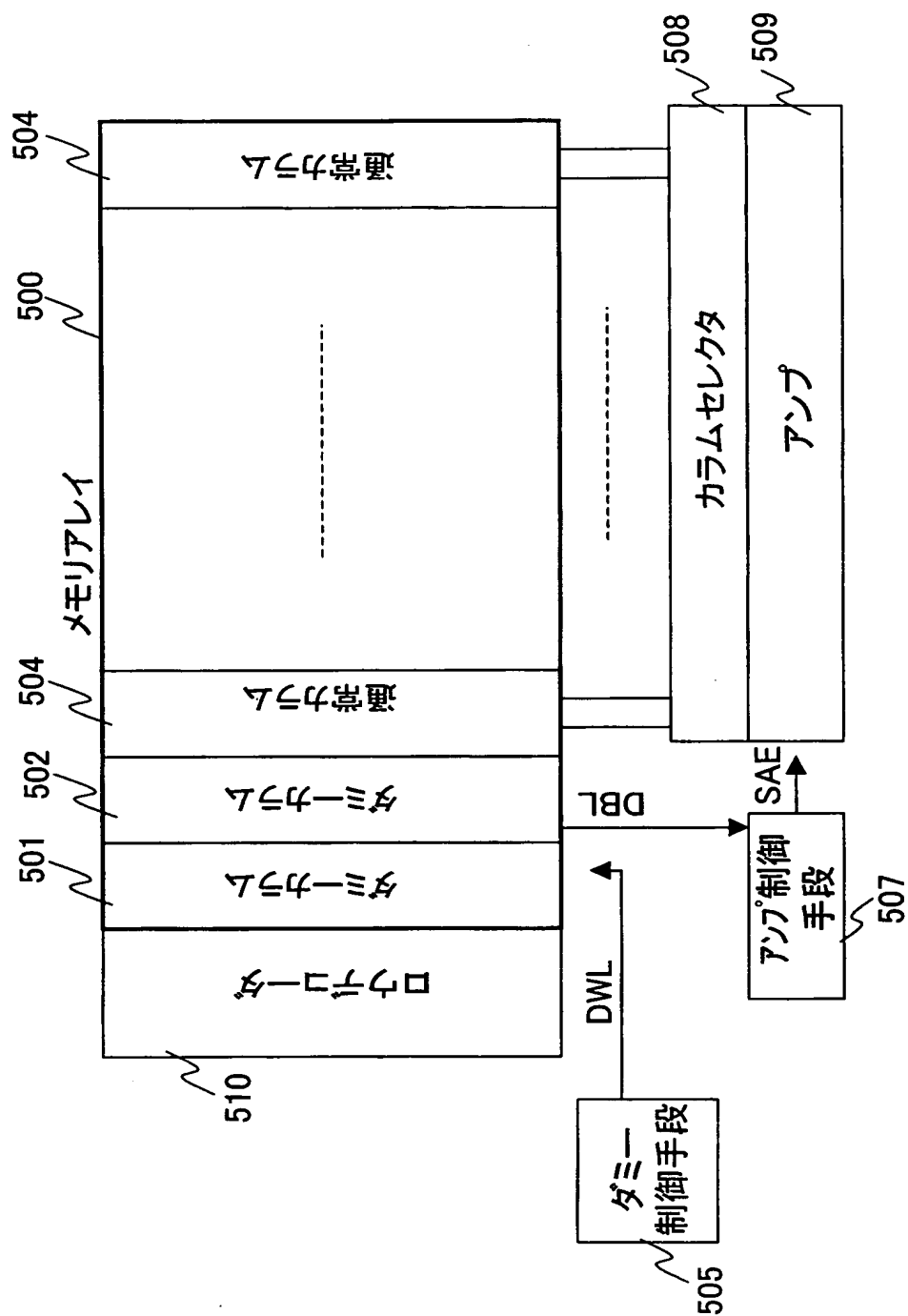
【図 23】



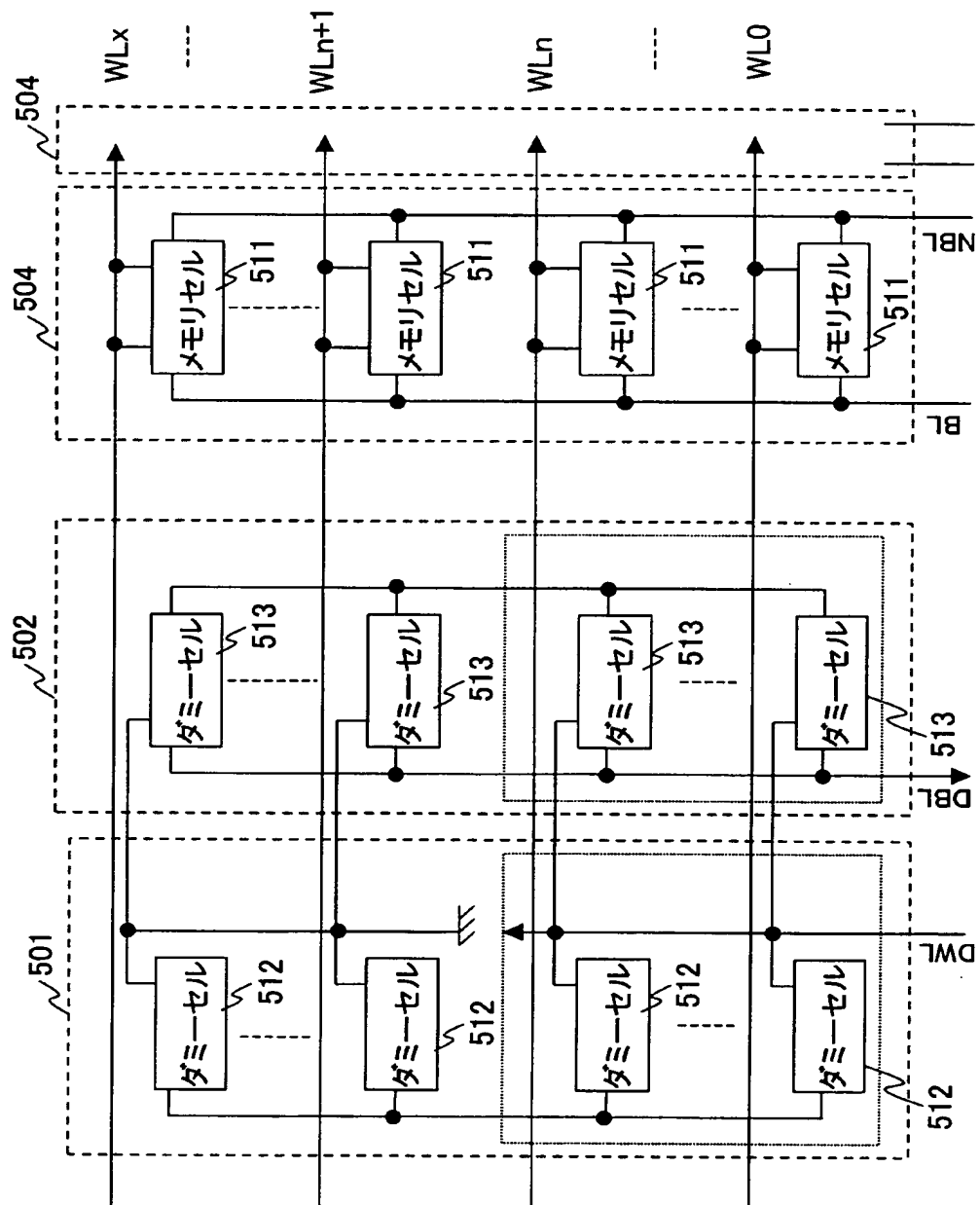
【図 24】



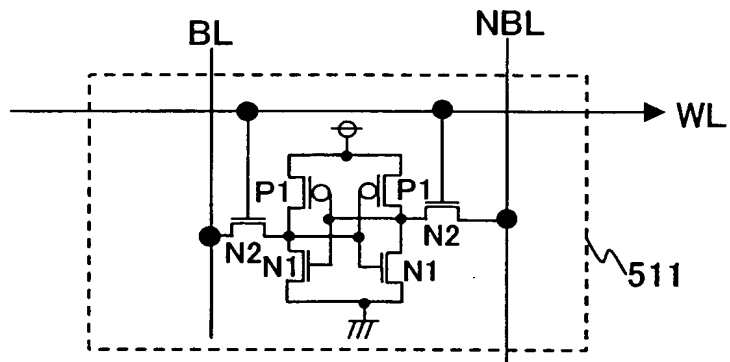
【図 25】



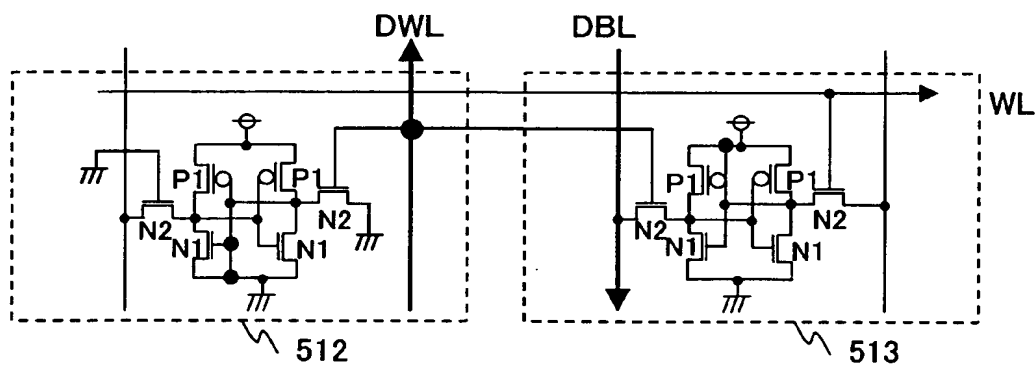
【図26】



【図 27】



【図 28】





【書類名】 要約書

【要約】

【課題】 メモリセルの読出しタイミングを精度良く擬似することができ、生産歩留率の向上を図ることができる半導体記憶装置を提供する。

【解決手段】 複数のメモリセルと、メモリセルを挟んで一行に配置される複数のダミーセルを含むメモリアレイと、ロウデコードと、ダミー制御回路と、カラムセレクトと、アンプ回路と、ダミーカラムセレクトと、アンプ制御回路とを備えた半導体記憶装置であって、ダミーカラムセレクトが、ロウデコード側に配置される複数のダミーセルと、メモリセルを挟んでロウデコードから最も離れた位置に配置される複数のダミーセルとに接続されており、ダミー制御回路の出力である複数の制御線が、複数のダミーセルのうち、ロウデコード側に配置される複数のダミーセルと、メモリセルを挟んでロウデコードから最も離れた位置に配置される複数のダミーセルにそれぞれ接続される。

【選択図】 図1

特願 2 0 0 2 - 3 3 1 1 3 9

出 願 人 履 歷 情 報

識別番号

[ 0 0 0 0 0 5 8 2 1 ]

1. 変更年月日

1 9 9 0 年 8 月 2 8 日

[変更理由]

新規登録

住 所

大阪府門真市大字門真 1 0 0 6 番地

氏 名

松下電器産業株式会社